English Translation of JP2000-058849

(19) Japanese Patent Office (JP)

(11) Publication Number: 2000-058849

(43) Date of publication of application: February 25, 2000

(12) Patent Laid-open Official Gazette (A)

(51) Int. Cl.^{7}

H01L 29/786

G09F 9/33

H01L 27/15

The Number of Claims: 16 (14 pages in total)

Request of Examination: made

(21) Application number: Hei 10-230938

(22) Date of filing: August 17, 1998

(71) Applicant: NEC Corporation
5-7-1, Shiba, Minato-ku, Tokyo, Japan

(72) Inventor: Katsuyuki FUJIKURA
c/o NEC Corporation
5-7-1, Shiba, Minato-ku, Tokyo, Japan

(74) Representative: Patent attorney:
Johei YAMASHITA

Specification

(54) [Title of the Invention]

THIN FILM SEMICONDUCTOR DEVICE

(57) [Abstract]

[Problem to be solved]

To lower costs of a capacitive load drive device such as an AC drive PDP or the

like and contrive to operate at a high speed.

[Solution]

A high voltage output buffer circuit is constituted by a CMOS circuit composed of a both-side sub-gate poly-SiTFT, and also the both-side sub-gate TFT is provided together with sub-gate electrodes 7 and 8 in a direction of a drain electrode 6 and a source electrode 5 respectively with respect to a gate electrode 2, and the length LS2 of a channel formed by the sub-gate electrode 8 located on a side of the source electrode 5 out of the sub-gate electrodes 7, 8 is set shorter than a length LS1 of a channel formed by the sub-gate electrode 7 located on a side of the drain electrode 6.

[Scope of Claims]

[Claim 1] A thin film semiconductor device comprising:

a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode,

characterized by comprising:

the circuit having a first TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, and a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween; and

the circuit having a second TFT having the polycrystalline silicon (p-Si) layer, the source-side impurity layer which is formed on one edge of the p-Si layer, the drain-side impurity layer which is formed on the other edge of the p-Si layer, the first gate electrode which is formed over the p-Si layer with the first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a third gate electrode which is formed between the first gate electrode and the source-side impurity layer with the second insulating layer interposed therebetween, wherein a channel length which is formed in the p-Si layer by the third gate electrode is shorter than a channel length which is formed in the p-Si layer by the second gate electrode, and a bias voltage is applied to the second gate electrode and the third gate electrode.

[Claim 2] The thin film semiconductor device according to claim 1, characterized in that a common bias voltage is applied to the second gate electrode and the third gate electrode.

[Claim 3] The thin film semiconductor device according to claim 1, characterized in that the second gate electrode and the third gate electrode of the NTFT are connected to the high potential side power source, and the second gate electrode and the third gate electrode of the PTFT are connected to the low potential side power source terminal.

[Claim 4] A thin film semiconductor device comprising:

a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode,

characterized by comprising:

a circuit having a second TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a

third gate electrode which is formed between the first gate electrode and the source-side impurity layer with the second insulating layer interposed therebetween,
wherein a channel length which is formed in the p-Si layer by the third gate electrode is shorter than a channel length which is formed in the p-Si layer by the second gate electrode, and a bias voltage is applied to the second gate electrode and the third gate electrode.

[Claim 5] The thin film semiconductor device according to claim 4, characterized in that a common bias voltage is applied to the second gate electrode and the third gate electrode.

[Claim 6] The thin film semiconductor device according to claim 4, characterized in that the second gate electrode and the third gate electrode of the NTFT are connected to the high potential side power source, and the second gate electrode and the third gate electrode of the PTFT are connected to the low potential side power source terminal.

[Claim 7] A thin film semiconductor device comprising:
a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode,
characterized by comprising:
the circuit having a first TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, and a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween; and
the circuit having a third TFT having the polycrystalline silicon (p-Si) layer, the source-side impurity layer which is formed on one edge of the p-Si layer, the drain-side

impurity layer which is formed on the other edge of the p-Si layer, a fourth gate electrode which is formed over the p-Si layer with the first insulating layer and the second insulating layer interposed therebetween, a fifth gate electrode which is formed between the fourth gate electrode and the drain-side impurity layer with a third insulating layer interposed therebetween, and a sixth gate electrode which is formed between the fourth gate electrode and the source-side impurity layer with the third insulating layer interposed therebetween,

wherein a channel length which is formed in the p-Si layer by the sixth gate electrode is shorter than a channel length which is formed in the p-Si layer by the fifth gate electrode, and a bias voltage is applied to the fifth gate electrode and the sixth gate electrode.

[Claim 8] The thin film semiconductor device according to claim 7, characterized in that a common bias voltage is applied to the fifth gate electrode and the sixth gate electrode.

[Claim 9] The thin film semiconductor device according to claim 7, characterized in that the fifth gate electrode and the sixth gate electrode of the NTFT are connected to the high potential side power source, and the fifth gate electrode and the sixth gate electrode of the PTFT are connected to the low potential side power source terminal.

[Claim 10] A thin film semiconductor device comprising:

a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode,

characterized by comprising:

the circuit having a first TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, and a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween;

the circuit having a second TFT having the polycrystalline silicon (p-Si) layer, the source-side impurity layer which is formed on one edge of the p-Si layer, the drain-side impurity layer which is formed on the other edge of the p-Si layer, the first gate electrode which is formed over the p-Si layer with the first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a third gate electrode which is formed between the first gate electrode and the source-side impurity layer with the second insulating layer interposed therebetween; and

the circuit having a third TFT having the polycrystalline silicon (p-Si) layer, the source-side impurity layer which is formed on one edge of the p-Si layer, the drain-side impurity layer which is formed on the other edge of the p-Si layer, a fourth gate electrode which is formed over the p-Si layer with the first insulating layer and the second insulating layer interposed therebetween, a fifth gate electrode which is formed between the fourth gate electrode and the drain-side impurity layer with a third insulating layer interposed therebetween, and a sixth gate electrode which is formed between the fourth gate electrode and the source-side impurity layer with the third insulating layer interposed therebetween,

wherein a channel length which is formed in the p-Si layer by the third gate electrode is shorter than a channel length which is formed in the p-Si layer by the second gate electrode, and a bias voltage is applied to the second gate electrode and the third gate electrode; and

a channel length which is formed in the p-Si layer by the sixth gate electrode is shorter than a channel length which is formed in the p-Si layer by the fifth gate electrode, and another bias voltage is applied to the fifth gate electrode and the sixth gate electrode.

[Claim 11] The thin film semiconductor device according to claim 10, characterized in that a common bias voltage is applied to the second gate electrode and the third gate electrode, and another common bias voltage is applied to the fifth gate electrode and the sixth gate electrode.

[Claim 12] The thin film semiconductor device according to claim 10, characterized in that the second gate electrode and the third gate electrode of the NTFT are connected to the high potential side power source, the second gate electrode and the third gate electrode of the PTFT are connected to the low potential side power source terminal, the fifth gate electrode and the sixth gate electrode of the NTFT are connected to the high potential side power source, and the fifth gate electrode and the sixth gate electrode of the PTFT are connected to the low potential side power source terminal.

[Claim 13] A thin film semiconductor device comprising:

a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode,

characterized by comprising:

the circuit having a fourth TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a sixth gate electrode which is formed between the first gate electrode and the source-side impurity layer with a third insulating layer interposed therebetween, wherein a channel length which is formed in the p-Si layer by the sixth gate electrode is shorter than a channel length which is formed in the p-Si layer by the second gate electrode, and a bias voltage is applied to the second gate electrode and the sixth gate electrode.

[Claim 14] The thin film semiconductor device according to claim 13, characterized in that a common bias voltage is applied to the second gate electrode and the sixth gate electrode.

[Claim 15] The thin film semiconductor device according to claim 13, characterized in that the second gate electrode and the sixth gate electrode of the NTFT are connected to the high potential side power source, and the second gate electrode and the sixth gate electrode of the PTFT are connected to the low potential side power source terminal.

[Claim 16] The thin film semiconductor device according to any one of claims 1, 7, and 10, characterized in that the first gate electrode, the source-side impurity layer, the drain-side impurity layer, and the p-Si layer of the first TFT have a self-aligned structure.

[Detailed Description of the Invention]

[0001]

[Industrial Field for the Invention]

The present invention relates to a thin film semiconductor device, and specifically relates to a thin film semiconductor device which is used to drive a matrix display and the like requiring a high voltage operation such as an AC drive plasma display (hereinafter abbreviated to PDP) and an electro luminescence display (hereinafter abbreviated to EL).

[0002]

[Prior Art]

Flat panel displays such as a liquid crystal display, a PDP, or an EL have already appeared in the world. In recent years, specifically the PDP has a large screen, and a 40 or 50-inch screen which is technically impossible in a CRT has been put into practical use. Therefore, the PDP is largely expected to be a display which replaces a CRT in the future. In fact, however, the PDP is still expensive compared to the CRT, and significant cost reduction is required to popularize the PDP at home.

[0003]

A PDP has light-emitting cells arranged in matrix and there are an AC drive and a DC drive for a method of lighting and driving these cells. Between the two, the AC drive has now become mainstream. FIG. 10 is a block diagram which shows a panel of an AC drive PDP and a structure of its driver circuit part. A PDP panel 21 has a structure where a glass plate including k × n data electrodes 22 and a glass plate including L × m scanning electrodes 23 and L × m sustain electrodes 24 are attached to each other and sealed. An area which is enclosed by these three kinds of electrodes becomes a light-emitting cell and adjacent cells are separated from each other by a partition wall. In the cell, mixed gas including noble gas and the like is injected, and an electric discharge is generated to emit light inside the cell by applying a voltage to these electrodes. Note that, all the electrodes are isolated from the discharge space by an insulating layer, and the PDP panel 21 acts as a capacitive load with respect to the driver circuit. An electric discharge is generated only in a transient state where an electric charge is charged from the driver circuit to this capacitor. This leads to the name of the AC drive. Output terminals D1 to Dkn of data drivers 25a to 25k are connected to the k × n data electrodes 22, and output terminals S1 to SLm of scanning drivers 26A to 26L are connected to the L × m scanning electrodes 23. Further, a sustain pulse generator 27 is connected to the L × m sustain electrodes 24, furthermore, the sustain pulse generator 27 is connected to power source input terminals of the scanning drivers 26A to 26L through a changeover switch that is not shown in the figure. In the aforementioned structure, the data drivers 25a to 25k and the scanning drivers

26A to 26L have already been integrated as an IC.

[0004]

In order to display a half-tone image in PDP, one field of a screen is divided into plural subfields. FIG. 12 is a driving waveform diagram in one subfield period of each part of the PDP shown in FIG. 10. First, during a writing period, a scanning pulse signal (an amplitude Vs – Vb = -80 to -90 V) is applied from the scanning drivers 26A to 26L to each of the scanning electrodes S1 to SLm sequentially, and in synchronism with the scanning pulse signal, a data pulse signal which is a display signal is applied from the data drivers 25a to 25k to the data electrodes D1 to Dkn. By this, a display signal is applied to a cell at an intersection between each data electrode 22 and a selected scanning electrode 23, and when all the scanning electrodes 23 are scanned, the display signal is written to all the cells of the PDP panel 21. Note that, an output driving voltage VD of this data pulse signal takes two values: a high potential side power source Vdd (= 60 to 80 V) and a low potential voltage side power source Vss, and this writing information is held in each cell.

[0005]

Next, during a sustain period, common sequential sustain pulses (an amplitude Vc – Vss = -160 to -180 V) are applied from the sustain pulse generator 27 to all the sustain electrodes 24. Further, when the changeover switch (not shown in the figure) which is connected to the power source input terminals of the scanning drivers 26A to 26L is switched to the sustain pulse generator 27 side, common sequential sustain pulses are applied from the sustain pulse generator 27 to all the scanning electrodes 23. However, the sustain pulse applied to the scanning electrode 23 has the opposite phase to the one applied to the sustain electrode 24. In this sustain period, only the cell where a Vdd signal is written to the data electrode 22 in a writing period is discharged and emits light. Further, since the number of light emitting times of a cell is changed by changing the number of output pulses of the sequential sustain pulse for each subfield, luminance seems to be changed visually and half-tone display can be achieved.

[0006]

Finally, during a pre-discharging period, by applying a pre-discharging pulse and a pre-discharging cancellation pulse to all the scanning electrodes 23 and all the sustain electrodes 24, a data pulse signal which has been held in each cell is cancelled to start the next one subfield period.

[0007]

In the aforementioned series of operations, a display signal which should be applied to each data electrode 22 is input to the data drivers 25a to 25k as logic signals of DAT1 to DATk from outside of the range shown in FIG. 10.

[0008]

FIG. 11 is a block diagram which shows an internal structure of each of the data drivers 25a to 25k. In this figure, in synchronism with a clock pulse CLK, an n-bit shift register 28 sequentially takes in a serial display signal DATk which is input externally, and converts it to parallel signals Q1 to Qn. After an n-bit latch 29 takes in these parallel signals Q1 to Qn, parallel signals S1 to Sn are output at the same timing as the latch signal LE which is synchronized with scanning pulses 1 to Lm shown in FIG. 12. Each signal which is processed until this step is a low voltage logic signal with an amplitude of about 3.3 to 5 V. Next, a level shifter 30 converts each of the parallel signals S1 to Sn to a high voltage logic signal with an amplitude of 60 to 80 V or more. An output buffer 31 converts an output signal of the level shifter 30 to a large current capacitance to output it, and drives each data electrode 22.

[0009]

In the structure and operation of the PDP, in recent 50 inch-class high resolution color specifications, the number of display pixels is 1365 × 768, and the number of data electrodes reaches 4095 in the sum of RGB colors. Since the number of output terminals of a data driver IC and a scanning driver IC which are generally used is 40 to 96, the number of data driver ICs used herein, which is 43 to 102, is very large. Furthermore, in a high resolution PDP, a display signal inside a data driver is processed at high speed. In addition, since capacitance per data electrode which acts as a load of a driver also becomes large, an operating frequency inside the driver is decreased and a driving load is reduced by adopting a method where the data electrode 22 in FIG. 10 is divided into two at the longitudinal center of the PDP panel 21 and each of them is pulled out and driven separately, or a method where every data electrode 22 is pulled out above and below and driven separately. However, when such a method is adopted, the number of data driver ICs used increases further and becomes a large obstacle to lower cost of PDP in the future. Therefore, it has become very important to lower cost of a data driver IC.

[0010]

Herein, a device structure of the data driver IC which is mentioned above is explained. Inside a data driver IC, logic signals of a low voltage and a high voltage are used, and particularly, a high breakdown voltage MOSFET is used for a high voltage logic signal in a circuit. Specifically, an LDD (Lightly Doped Drain) structure and a sub-gate structure are adopted. According to these structures, a potential difference between a drain edge of a channel area under a gate electrode and a drain electrode is generated by providing an area having the above-mentioned structure on the drain electrode side, thereby a drain high electric field is alleviated. FIG. 15 is a cross-sectional diagram of a CMOS inverter circuit which is formed by using an LDD high breakdown voltage MOSFET and used for the output buffer 31 in FIG. 11. As an example of its production process, first, an impurity ion is injected onto a semiconductor substrate 14, thereby an n-well 16, and an N-side low density impurity layer 17 and a P-side low density impurity layer 18 each of which becomes a drain area are formed sequentially. After that, a field oxide film 15 is formed. Next, after an N-side gate electrode 2a and a P-side gate electrode 2b are formed, source-side n-type impurity layers 3a and source-side p-type impurity layers 3b which become source areas and protection diodes respectively are formed. After source-side contacts 5 and drain-side contacts 6 are opened, an N-side source electrode 9a which is formed by a metal thin film such as aluminum, a P-side source electrode 9b, and a drain electrode 10 are formed. In the case where a CMOS inverter which uses a high breakdown voltage MOSFET is produced by the production process mentioned above, the number of necessary masks is 8PR. However, generally in an actual driver IC, a low voltage logic circuit MOSFET is formed on the same substrate and a connection layout of internal circuit is made by two layer aluminum wirings; therefore, the number of masks which are needed in the aforementioned production process is at least 10 PR or more.

[0011]

As one of the methods for replying the above-described request to lower cost of the driver IC, the writers have made researches on a data driver IC using a thin film transistor (hereinafter abbreviated to TFT) which is formed of a poly-crystalline silicon (hereinafter abbreviated to poly-Si). Former poly-Si thin films are formed at a high temperature of about 1000°C as in a semiconductor production process, and a quartz substrate is used as a substrate material which can withstand these conditions. However, in recent years, a so-called low-temperature poly-Si thin film which can be formed at a process temperature of 500°C or less is becoming a mainstream, which can reduce cost of a device member as compared to a semiconductor substrate since a cheap non-alkaline glass substrate can be used for a substrate material. Further, the low-temperature poly-Si thin film can be produced by the same process to some extent as an amorphous silicon TFT which is used in a liquid crystal display. In addition, production cost reduction can be achieved by mass production because a larger substrate than a semiconductor substrate can be used. On the other hand, as for device characteristics, a technical development has been advanced specifically recently to obtain a high quality low temperature poly-Si thin film, and a mobility as a TFT is also vastly improved. Furthermore, TFT elements are completely separated from each other since each TFT is formed on an insulating substrate. Accordingly, unlike a MOSFET which is formed on a conventional semiconductor substrate, a latch up phenomenon through a parasitic element in a substrate does not occur fundamentally. This is advantageous specifically to a high breakdown voltage IC such as a data driver, and reliability can be improved. Furthermore, a device can be operated at a high speed because of no parasitic capacitance between a transistor and a substrate due to the same reason. By such reasons, it seems possible to apply a thin film semiconductor device using a poly-SiTFT to a data driver IC of a PDP.

[0012]

To realize a data driver IC, a high breakdown voltage TFT is necessarily required as mentioned above. A well known example of a high breakdown voltage TFT is sub-gate TFT, which is reported by Tiao-Yuan Huang et al. ("A Simpler100-V Polysilicon TFT with ImprovedTurn-ONaracteristics", IEEE ElectronDevice Letters, vol. 11, No. 6, June, 1990). FIG. 17 is a cross-sectional diagram of a conventional sub-gate TFT. On an insulating substrate, a poly-Si layer 1 is formed to be a channel area. A gate electrode 2 is formed over the poly-Si layer 1 with a first gate insulating layer 12 interposed therebetween. A second gate insulating layer 11 is formed over the gate electrode 2, and a second gate electrode 7 is formed thereover. A sub-gate TFT having such a structure can be considered that a TFT which is formed under the gate electrode 2 is connected in series to a TFT which is formed under the second gate electrode 7. Note that, the gate electrode 2 and the second gate electrode 7 are rather overlapped. In the poly-Si layer 1, an area which is located under these two gate electrodes is non-doped and a source-side impurity layer 3 and a drain-side impurity layer 4 are formed at both ends of the non-doped area. On/off control of the TFT is conducted by changing a gate voltage Vg which is applied to the gate electrode 2. Further, a predetermined positive bias voltage Vfp is applied to the second gate electrode 7 to have a potential gradient between a source edge of a TFT channel area which is formed under the second gate electrode 7 and the drain-side impurity layer 4, thereby alleviating an electric field between a drain edge of a TFT channel area which is formed under the gate electrode 2 and the source-side impurity layer 3. This realizes a high breakdown voltage between a drain electrode and a source electrode as a whole sub-gate TFT.

[0013]

FIG. 18 is a circuit diagram reported as an example of a CMOS inverter circuit which uses a conventional sub-gate TFT. Since sub-gate electrodes of a PTFT 35 and an NTFT 36 are connected to Vss and Vdd terminals respectively, a constant voltage is applied. Further, by applying a gate pulse voltage Vg with an amplitude of Vdd – Vss to each gate electrode, a logical state of an output Vout of the inverter circuit is controlled. Note that, although each gate electrode of the PTFT 35 and the NTFT 36 is connected to the same terminal in this example, the invention is not limited to this and each gate electrode may be applied with a different gate voltage. In this case, each gate voltage may have an amplitude less than Vdd – Vss.

[0014]

However, there is no case where such a sub-gate TFT is applied to a driver IC for driving display.

[0015]

Here, the case of practically driving a PDP is considered. FIG. 13 is an equivalent circuit showing one-stage circuit of the output buffer of the data driver shown in FIG. 10, which is constituted by TFTs, and showing coupling capacitance between a data electrode Dn connected to the circuit, adjacent data electrodes Dn-1 and Dn+1, a scanning electrode 23, and a sustain electrode 24. CD is a coupling capacitance between adjacent data electrodes, Cs is a coupling capacitance between one data electrode Dn and all scanning electrodes which cross it, and Cc is a coupling capacitance between one data electrode Dn and all sustain electrodes which cross it. Due to such coupling capacitances, a voltage of the data electrode Dn changes through these coupling capacitances when a driving voltage level of an adjacent data electrode, a scanning electrode, or a sustain electrode is changed.

[0016]

FIG. 14 is a waveform chart which shows a voltage fluctuation of the data electrode Dn in a writing period of the waveform chart shown in FIG. 12. It is assumed that display is conducted such that in synchronism with a timing that a drive output of a scanning driver changes, for example, from (B) to (C) in FIG. 12, a drive output of the data electrode Dn is maintained at Vss while each drive output of the data electrodes Dn-1 and Dn+1 adjacent to the Dn changes from Vdd to Vss. In such a case, although a driving voltage VDn of the data electrode Dn is essentially Vss, after a change of Δ VDn in the negative direction occurs, the changed voltage is absorbed by the Vss through the amount of on-resistance of the NTFT 36 and comes back to an original voltage. The values of coupling capacitances CD, Cs, and Cc in an actual PDP are each about 15 pF. The peak value of voltage fluctuation Δ VDn at this time is about 30 V.

[0017]

When the aforementioned voltage fluctuation occurs, a voltage of a drain electrode side is lower than that of a source electrode side in the NTFT 36 in FIG. 13. In this case, a conventional sub-gate TFT which is explained in FIG. 17 has a problem that when a potential relation between a drain and a source electrode is reversed, a breakdown voltage decreases significantly because there is no relief effect of an electric field in a source electrode side of the TFT, which easily causes element breakdown.

[0018]

To solve this problem, in the LDD high breakdown voltage MOSFET shown in FIG. 15, the source-side n-type impurity layer 3a and the source-side p-type impurity layer 3b are provided to form an output protection diode inside the MOSFET. FIG. 16 is an equivalent circuit diagram of an inverter circuit constituted by a MOSFET including a protection diode. Protection diodes 34 are formed between a drain and a source of a PFET 32 and an NFET 33, and a diode is electrically conducted when a reverse voltage is applied between the drain and the source. At this time, a current capacitance is larger compared to a MOSFET because a diode current flows in a substrate direction, and a current accompanied by a reverse voltage mostly passes through a diode. Accordingly, the transistor can be prevented from being broken.

[0019]

On the other hand, since a poly-SiTFT is formed on an insulating substrate, and further the poly-Si layer 1 in FIG. 17 is generally thin such as 1000 angstrom or less, it is impossible to form a protection diode by an impurity profile in the direction thickness which is shown in a high breakdown voltage MOSFET cross-sectional diagram in FIG. 15. Therefore, a protection diode is required to have a lateral structure and to be formed on a substrate as an independent element of a TFT. In that case, however, there is a problem that an element layout area increases. Furthermore, it is difficult to use this as a diode as it is, because a poly-Si thin film has a grain boundary through which much current leaks and rectification characteristics are not improved even when a diode is formed. Thus, a diode-connected TFT which is formed separately is generally used as a protection element.

[0020]

FIG. 19 is a circuit diagram showing one example of a high breakdown output buffer where a PTFT protection element 37 and an NTFT protection element 38 are formed in addition to the PTFT 35 and the NTFT 36 for output buffer. A data electrode of a PDP panel is connected to an output terminal Vout, but in the case where a Vout voltage varies through the coupling capacitance which is mentioned above, the amount of its variation is to be absorbed through these protection elements 37 and 38.

However, in a structure of FIG. 19, since it is necessary to secure a drain-side breakdown voltage of the protection elements 37 and 38 similarly to the case of output buffer TFTs 35 and 36, a sub-gate electrode is put into a drain-side. However, this does not have an electric field relief function of a source electrode side, and does not solve an element destruction in application of a reverse voltage between a drain and a source.

[0021]

As a solution to the above problem, a reverse voltage between a drain and a source can be improved by forming a sub-gate electrode of an output buffer TFT in a source electrode side in addition to a drain electrode side, what is called, a both-side sub-gate structure.

[0022]

FIG. 20 is a cross-sectional diagram of a conventional both-side sub-gate TFT which is disclosed in Japanese Patent Laid-Open No. Hei 5-251702. On an insulating substrate 13, a source electrode 9 and a drain electrode 10 made of an aluminum thin film are formed, and further, a source-side n-type impurity layer 3a, a source-side p-type impurity layer 3b, a drain-side n-type impurity layer 4a, and a drain-side p-type impurity layer 4b are formed thereon. A poly-Si layer 1 is formed to cover the impurity layers, and a gate electrode 2 is formed thereover with a first gate insulating layer 12 interposed therebetween. Further, a second gate electrode 7 and a third gate electrode 8 are formed with a second gate insulating layer 11 interposed therebetween.

[0023]

FIG. 21 is a cross-sectional diagram of a conventional both-side sub-gate MOSFET which is disclosed in Japanese Patent Laid-Open No. Hei 5-90587. On a semiconductor substrate 14, a field oxide film 15 is formed, and a first gate insulating layer 12 and a gate electrode 2 are sequentially formed in the area which is surrounded by this. Further, in the first gate insulating layer 12, a source-side contact 5 and a drain-side contact 6 are opened. A second gate electrode 7 and a third gate electrode 8 are formed over the first gate insulating layer 12 with the second gate insulating layer 11 interposed therebetween.

[0024]

[Problems to be Solved by the Invention]

The above-mentioned both-side sub-gate TFT or MOSFET disclosed in these gazettes has the third gate electrode 8 having the same channel length as the second gate electrode 7 as shown in the drawings. Therefore, when such a TFT is used, a reverse bias breakdown voltage between a drain and a source of a TFT can be made equal to that of a forward bias. FIG. 5 is a characteristic diagram which shows a relation between a drain current Id and a reverse bias voltage between a drain and a source –Vds in the case where a constant bias voltage is applied to a sub-gate electrode of a sub-gate TFT. In FIG. 5, while a reverse breakdown voltage BVdsa between a drain and a source of a one-side sub-gate structure is low (a), a breakdown voltage increases to BVdsc by a both-side sub-gate structure (c), which corresponds to a forward bias breakdown voltage between a drain and a source in the one-side sub-gate structure. However, while a breakdown voltage increases, on-current is reduced. FIG. 6 is an on-current characteristic diagram of a sub-gate TFT. In FIG. 6, by a both-side sub-gate structure (c), an on-current is considerably reduced compared to a case of the one-side sub-gate structure. Because of this, in order to ensure a driving ability required for a driver, the size of an output buffer TFT has to be enlarged. Then, there occur problems that a driver IC chip area increases, which causes an increase in cost.

[0025]

Therefore, the present invention has an object to lower cost of a capacitive load driving device, specifically a display driving device for driving an AC driving type PDP and the like, and to provide a thin film semiconductor device which can prevent an element destruction by breakdown even when a driving voltage of a driving output terminal varies by a load coupling capacitance, while preventing a driving ability from being lowered with the decrease in cost.

[0026]

[Means for Solving the Problem]

To solve the above problem, the present invention provides a thin film semiconductor device which has a circuit having a P-channel thin film transistor (TFT) and an N-channel thin film transistor, wherein a source electrode of the P-channel thin film transistor (PTFT) is connected to a high potential side power source, a source electrode of the N-channel thin film transistor (NTFT) is connected to a low potential side power source, and the PTFT and the NTFT have a common drain electrode.

[0027]

The above-mentioned TFT is formed by the above-mentioned circuit having at least one of four kinds of structures: the circuit having a first TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, and a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween; the circuit having a second TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a third gate electrode which is formed between the first gate electrode and the source-side impurity layer with the second insulating layer interposed therebetween; the circuit having a third TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, a fourth gate electrode which is formed over the p-Si layer with a first insulating layer and a second insulating layer interposed therebetween, a fifth gate electrode which is formed between the fourth gate electrode and the drain-side impurity layer with a third insulating layer interposed therebetween, and a sixth gate electrode which is formed between the fourth gate electrode and the source-side impurity layer with the third insulating layer interposed therebetween; and the circuit having a fourth TFT having a polycrystalline silicon (p-Si) layer, a source-side impurity layer which is formed on one edge of the p-Si layer, a drain-side impurity layer which is formed on the other edge of the p-Si layer, a first gate electrode which is formed over the p-Si layer with a first insulating layer interposed therebetween, a second gate electrode which is formed between the first gate electrode and the drain-side impurity layer with a second insulating layer interposed therebetween, and a sixth gate electrode which is formed between the first gate electrode and the source-side impurity layer with a third insulating layer interposed therebetween.

[0028]

Furthermore, a sub-gate (the third or sixth gate electrode) which is located between a main gate (the first or fourth gate electrode) and the source-side impurity layer has a channel length LS2 in the p-Si layer, which is shorter than a channel length LS1 in the p-Si layer formed by a sub-gate (the second and fifth gate electrode) which is located between a main gate (the first or fourth electrode) and the drain-side impurity layer.

[0029]

[Embodiment Modes of the Invention]

Hereinafter, embodiment modes of the present invention will be described referring to drawings.

[0030]

FIG. 1 is a cross-sectional diagram of a both-side sub-gate TFT constituting a thin film semiconductor device of the present invention. As shown in FIG. 1, the thin film semiconductor device of the present invention includes a TFT having a polycrystalline silicon (p-Si) layer 1, a source-side impurity layer 3 which is formed on one edge of the p-Si layer 1, a drain-side impurity layer 4 which is formed on the other edge of the p-Si layer, a first gate electrode (Vg) 2 which is formed over the p-Si layer 1 with a first insulating layer (not shown) interposed therebetween, a second gate electrode (Vsg1) 7 which is formed between the first gate electrode (Vg) 2 and the drain side impurity layer 4 with a second insulating layer (not shown) interposed therebetween, and a sixth gate electrode (Vsg 2) 8 which is formed between the first gate electrode (Vg) 2 and the source-side impurity layer 3 with a third insulating layer (not shown) interposed therebetween, wherein a channel length LS2 which is formed in the p-Si layer by the sixth gate electrode (Vsg2) 8 is shorter than a channel length LS1 which is formed in the p-Si layer by the second gate electrode (Vsg1) 7.

[0031]

FIG. 2 is a circuit diagram of a thin film semiconductor device according to a first embodiment mode of the present invention which uses the both-side sub-gate TFT shown in FIG. 1. A source electrode of the PTFT 35 is connected to a power source Vdd and a source electrode of the NTFT 36 is connected to Vss. On the other hand, a drain electrode of each TFT has a common connection to function as an output Vout, and a capacitive load of the PDP data electrode and the like is connected to its load. A gate electrode of the PTFT 35 and a gate electrode of the NTFT 36 are signal input terminals to which gate voltages Vgp and Vgn are applied respectively. Furthermore, bias voltages Vsgp1, Vsgp2, Vsgn1, and Vsgn2 are applied to each sub-gate electrode of the PTFT 35 and the NTFT 36.

[0032]

In the case of using the thin film semiconductor device of the above-mentioned structure as a data driver of a PDP and the like, it is assumed that when a driving voltage level of an adjacent data electrode, a scanning electrode or a sustain electrode changes, a voltage of a data electrode Dn is changed by Δ VDn through a coupling capacitance CD between adjacent data electrodes, a coupling capacitance Cs between one data electrode Dn and all scanning electrodes which cross the data electrode Dn, or a coupling capacitance Cc between one data electrode Dn and all sustain electrodes which cross the data electrode Dn. On that occasion, in the cross-sectional structure of FIG. 2, a both-side sub-gate TFT is formed by setting the channel length LS2 of a TFT which is formed under the second sub-gate electrode 8 so that LS2 < LS1 is satisfied, and that a reverse direction breakdown voltage BVdsb between a drain and a source satisfies BVds > Δ VDn as shown in FIG. 5(b). This enables to suppress more drain current drop than a conventional both-side sub-gate TFT as shown in FIG. 6 (b), and to ensure a necessary reverse direction breakdown voltage between a drain and a source.

[0033]

Therefore, according to this embodiment mode, decline in the driving ability of a thin film semiconductor device is reduced compared to the case of using a conventional both-side sub-gate TFT, and an element destruction due to breakdown can be prevented even if a driving voltage of a driving output terminal is changed by a load coupling capacitance. Accordingly, the semiconductor device of the invention can be made smaller than a device which uses a conventional both-side sub-gate TFT while maintaining the necessary breakdown voltage. Further, since a TFT is formed on an insulating substrate and each TFT element is completely separated from each other, a latch up phenomenon with a parasitic element in a substrate does not occur fundamentally unlike a conventional MOSFET which is formed on a semiconductor substrate, which results in improved reliability. Furthermore, since there is no parasitic capacitance with a semiconductor substrate unlike a MOSFET, if a poly-Si thin film has the same mobility as a crystalline silicon by technology development in the future, a higher speed operation than a circuit which is consisted by a MOSFET on a semiconductor substrate becomes possible.

[0034]

FIG. 3 is a circuit diagram of a thin film semiconductor device according to a second embodiment mode of the present invention. The PTFT 35 and the NTFT 36 constitute a CMOS inverter circuit. Further, two sub-gate electrodes of the PTFT 35 have a common connection to which a bias voltage Vsgp is applied. Similarly, two sub-gate electrodes of the NTFT 36 are applied with a bias voltage Vsgn. The bias voltage is determined so that a voltage applied to a TFT channel area in the poly-Si layer 1 formed under the gate electrode 2 in FIG. 2, which is a part of a voltage between a drain and a source electrodes applied to a TFT, is within a breakdown voltage of this channel area. By applying a bias voltage as shown in this embodiment mode, cost reduction in the entire device including an outside power source is achieved because smaller kinds of bias voltages are needed.

[0035]

FIG. 4 is a circuit diagram of a thin film semiconductor device according to a third embodiment mode of the present invention. In this embodiment mode, the two sub-gate electrodes of the PTFT 35 have a common connection, to which Vss is applied as a bias voltage. On the other hand, the two sub-gate electrodes of the NTFT 36 are also applied with Vdd as a bias voltage. In this case, since there is no need to set a bias voltage source separately, further cost reduction in the entire device which mounts the thin film semiconductor device of the present invention can be achieved. Note that, the ratio of the channel length L, the channel length LS1, and the channel length LS2, and the ratio of the first gate insulating layer 12 and the second gate insulating layer 11 are needed to be determined appropriately, in order that a voltage in the TFT channel area in the poly-Si layer 1 which is formed under the gate electrode 2 in FIG. 2, which is a part of a voltage between a drain and a source electrodes applied to the TFT, is within a breakdown voltage of this channel area.

[0036]

The right half of FIG. 8 is a cross-sectional diagram of a thin film semiconductor device according to a fourth embodiment mode of the present invention, which includes a TFT constituted by a high breakdown voltage N-side gate electrode 19a and a high breakdown voltage P-side gate electrode 19b. On an insulating substrate 13 of non-alkaline glass and the like, the poly-Si layer 1 is formed. A source-side n-type impurity layer 3a and a drain-side n-type impurity layer 4a are formed on both ends of the poly-Si layer 1 which is to be an NTFT, similarly a source-side p-type impurity layer 3b and a drain-side p-type impurity layer 4b are formed in the PTFT side. A high breakdown voltage N-side gate electrode 19a and a high breakdown P-side gate electrode 19b are formed thereover with the first gate insulating layer 12 interposed therebetween. Further, a sub-gate electrode 7 and a sub-gate electrode 8 are formed on both sides of each of the gate electrodes 19a and 19b with the second gate insulating layer 11 and a third gate insulating layer 20 interposed therebetween. Further, a source-side contact 5 and a drain-side contact 6 are opened over the source-side n-type impurity layer 3a, the drain-side n-type impurity layer 4a, the source-side p-type impurity layer 3b and the drain-side p-type impurity layer 4b, and a source electrode 9 and a drain electrode 10 are pulled out from the opening portion. Here, a channel length LS2 of a TFT which is formed under the sub-gate electrode 8 is shorter than a channel length LS1 of a TFT which is formed under the sub-gate electrode 7. In the case where N-channel and P-channel are formed both-side sub-gate TFTs by the aforementioned steps, the number of necessary masks is 6 PR, which is smaller than the number of masks needed in the case of forming N-channel and P-channel LDD high breakdown voltage MOSFETs on a semiconductor substrate. Therefore, lower cost than a conventional LDD high breakdown voltage MOSFET can be achieved.

[0037]

FIG. 7 is a cross-sectional diagram of a thin film semiconductor device according to a fifth embodiment mode of the present invention. In the case where a PDP data driver IC is constituted, a low voltage logic circuit and a high voltage circuit are needed to form on the same substrate. On the insulating substrate 13, the poly-Si layer 1 is formed, and an N-side gate electrode 2a and a P-side gate electrode 2b of a low voltage logic circuit TFT are formed thereover with the first gate insulating layer 12 interposed therebetween. On both ends of the poly-Si layer 1 which becomes an NTFT, a source-side n-type impurity layer 3a and a drain-side n-type impurity layer 4a are formed. Similarly, a source-side p-type impurity layer 3b and a drain-side p-type impurity layer 4b are formed in the PTFT side. Further, a source-side contact 5 and a drain-side contact 6 are opened thereover with a second gate insulating layer 11 interposed therebetween, and a source electrode 9, a drain electrode 10, a high breakdown voltage N-side gate electrode 19a, and a high breakdown voltage P-side gate electrode 19b are formed thereover at the same time. Over these electrodes, a sub-gate electrode 7, a sub-gate electrode 8, and an upper wiring layer 40 are formed at the same time with a third gate insulating layer 20 interposed therebetween, and can be electrically connected to a lower wiring by opening a second contact 40 in the third gate insulating layer 20 as needed. Here, a channel length of a TFT which is formed under the second sub-gate electrode 8 is shorter than a channel length of a TFT which is formed under the sub-gate electrode 7. According to this embodiment mode, a TFT which constitutes a low voltage logic circuit can be formed on the same substrate as a both-side sub-gate TFT which constitutes a thin film semiconductor device of the present invention, which can reduce the chip size by a high integration of a data driver IC which is formed by these TFTs. Further, the number of necessary masks for production is 8 PR. Therefore, a production cost can be held down compared to a MOSFET which is formed on a semiconductor substrate. Furthermore, according to this embodiment mode, since a gate insulating layer of a both-side sub-gate TFT can be made thick, the gate electrodes 19a and 19b can be driven by a high voltage logic signal, and the driving ability of a both-side sub-gate TFT which constitutes an output buffer circuit can be improved.

[0038]

FIG. 8 is a cross-sectional diagram of a thin film semiconductor device according to a sixth embodiment mode of the present invention. On the insulating substrate 13, the poly-Si layer 1 is formed, and on both sides of the poly-Si layer 1 which becomes an NTFT, the source-side n-type impurity layer 3a and the drain-side n-type impurity layer 4a are formed. Similarly, the source-side p-type impurity layer 3b and the drain-side p-type impurity layer 4b are formed in the PTFT side. The N-side gate electrode 2a and the P-side gate electrode 2b of a low voltage logic circuit TFT, and the high breakdown voltage N-side gate electrode 19a and the high breakdown voltage P-side gate electrode 19b are formed thereover at the same time with a first gate insulating layer 12 interposed therebetween. Further, the source-side contact 5 and the drain-side contact 6 are opened thereover with the second gate insulating layer 11 interposed therebetween, and the source electrode 9 and the drain electrode 10 are formed thereover. Over these electrodes, the sub-gate electrode 7, the sub-gate electrode 8, and the upper wiring layer 40 are formed at the same time with the third gate insulating layer 20 interposed therebetween, and can be electrically connected to a lower layer wiring by opening the second contact 40 in the third gate insulating layer 20 as needed. According to this embodiment, a TFT to constitute a low voltage logic circuit can be formed on the same substrate as a both-side sub-gate TFT which constitutes a thin film semiconductor device of the present invention, which can reduce the chip size by a high integration of a data driver IC. Further, the number of masks necessary for production is 8PR. Therefore, a production cost can be held down compared to a MOSFET which is formed on a semiconductor substrate. Further, according to this embodiment mode, since the gate electrodes 19a and 19b of a both-side sub-gate TFT can be driven by a low voltage logic signal, a circuit structure to drive a gate electrode of an output buffer circuit can be simplified.

[0039]

FIG. 9 is a cross-sectional diagram of a thin film semiconductor device according to a seventh embodiment mode of the present invention. In this embodiment mode, the gate electrode 19a of an N-channel both-side sub-gate TFT is formed at the same time as the gate electrodes 2a and 2b of a low voltage logic TFT, further, the gate electrode 19b of a P-channel both-side sub-gate TFT is formed at the same time as the source electrode 9 and the drain electrode 10. According to this embodiment mode, a both-side sub-gate TFT which constitutes a thin film semiconductor device of the present invention and a TFT to constitute a low voltage logic circuit can be formed on the same substrate, which can reduce the chip size by a high integration of a data driver IC. Further, the number of masks necessary for production is 8PR. Therefore, a production cost can be held down compared to a MOSFET which is formed on a semiconductor substrate. Further, according to this embodiment mode, for example, the gate electrode 19a of an NTFT can be driven by a low voltage logic signal while the gate electrode 19b of a PTFT can be driven by a high voltage logic signal, which can increase the flexibility of circuit design of a level shifter which drives a gate electrode of an output buffer circuit. Note that, a structure of this embodiment mode can be realized in the same manner even in the case that a PTFT and an NTFT are changed.

[0040]

Note that, in the aforementioned embodiment mode, when the source-side n-type impurity layer 3a, the drain-side n-type impurity layer 4a, the source-side p-type impurity layer 3b, and the drain-side p-type impurity layer 4b of the low voltage logic circuit TFT are formed by using the N-side gate electrode 2a and the P-side gate electrode 2b as a shielding layer, and impurities are injected from the top of the substrate, the low voltage logic circuit TFT can have a self-aligned structure. According to this, overlap capacitance between a gate electrode and a drain electrode and between a gate electrode and a source electrode, can be made small, leading to a high speed operation of the low voltage logic circuit. In this case, the number of necessary masks for a device production does not increase compared to each of the aforementioned embodiment modes, and the low cost advantage can be effectively maintained.

[0041]

According to a data driver IC which is constituted by using the thin film semiconductor device of the present invention which is explained above, a TFT device structure can be combined freely so as to be most suitable for a circuit structure of a designed high voltage logic circuit, which considerably increases the flexibility of circuit design. Besides, the number of necessary masks for a device production remains the same by using any combination, which is 8 PR, and low cost advantage can be effectively maintained.

[0042]

Note that, although a non-alkaline glass is advantageously used as an insulating substrate in the aforementioned embodiment modes to lower cost, a display driving device of the embodiment modes can be constituted by using an opaque ceramic insulating substrate or a semiconductor substrate whose surface is covered with an insulating layer.

[0043]

Further, in the above embodiment modes, although not shown in the figure, the level shifter 30 shown in a block diagram of FIG. 11 may adopt one side sub-gate TFT which is explained in prior art, since there is no effect of driving voltage fluctuation through a coupling capacitance of a load. In this case also, the number of production process does not increase compared to the thin film semiconductor device of the present invention which is explained above, and the low cost advantage can be effectively maintained.

[0044]

[Effect]

According to the first embodiment mode of the present invention which is thus explained, the driving ability of the thin film semiconductor device does not decrease compared to the case of using a conventional both-side sub-gate TFT, and even the driving voltage of a drive output terminal is changed by a load coupling capacitance, element destruction due to breakdown can be prevented. This allows the device to be smaller than a device using a conventional both-side sub-gate TFT while maintaining the necessary breakdown voltage.

[0045]

Further, since a TFT is formed on an insulating substrate and each TFT element is separated completely, a latch up phenomenon with a parasitic element in the substrate does not occur fundamentally unlike a conventional MOSFET which is formed on a semiconductor substrate, leading to improved reliability.

[0046]

Further, since there is no parasitic capacitance with a semiconductor substrate unlike a MOSFET, if the mobility of a poly-Si thin film is improved like a crystalline silicon by technology development in the future, it can be operated at high speed than a circuit which is constituted by a MOSFET on a semiconductor substrate.

[0047]

Further, according to the thin film semiconductor device of the second embodiment mode of the present invention, since fewer kinds of bias voltages are needed, a lower cost of the entire device including an external power source is achieved.

[0048]

Further, according to the thin film semiconductor device of the third embodiment mode of the present invention, since an additional bias voltage source is not needed, a much lower cost of the entire device mounting the thin film semiconductor device of the present invention is achieved.

[0049]

Further, according to the thin film semiconductor device of the fourth embodiment mode of the present invention, in the case where N-channel and P-channel both-side sub-gate TFTs are formed, the number of necessary masks is 6 PR which is smaller compared to the case that N-channel and P-channel LDD high breakdown voltage MOSFETs are formed on a semiconductor substrate. Therefore, the device can be obtained at a lower cost than a conventional LDD high breakdown voltage MOSFET.

[0050]

Further, according to the thin film semiconductor device of the fifth embodiment mode of the present invention, a both-side sub-gate TFT as well as a TFT for constituting a low voltage logic circuit can be formed on the same substrate, which can reduce the chip size by a high integration of a data driver IC formed by these TFTs. Further, the number of necessary masks for production is 8 PR. Therefore, a production cost can be held down compared to a MOSFET which is formed on a semiconductor substrate. In addition, according to this embodiment mode, since a gate electrode of a both-side sub-gate TFT can be driven by a low voltage logic signal, a circuit structure for driving a gate electrode of an output buffer circuit can be simplified.

[0051]

Further, according to the thin film semiconductor device of the sixth embodiment mode of the present invention, since a gate insulating layer of a both-side sub-gate TFT can be made thick, the gate electrodes 19a and 19b can be driven by a high voltage logic signal, which increases the driving ability of the both-side sub-gate TFT which constitutes an output buffer circuit.

[0052]

Further, according to the thin film semiconductor device of the seventh embodiment mode of the present invention, for example, a gate electrode of the NTFT can be driven by a low voltage logic signal while a gate electrode of the PTFT can be driven by a high voltage logic signal, which increases the flexibility of circuit design of a level shifter for driving a gate electrode of an output buffer circuit.

[0053]

Further, in the thin film semiconductor device of the present invention, when a low voltage logic circuit TFT has a self-aligned structure, a high speed operation of a low voltage logic circuit is achieved. Besides, the number of necessary masks for device production does not change, which is 8PR, and the lower cost advantage can be effectively maintained.

[0054]

Further, according to the thin film semiconductor device of the present invention, lower cost of the device compared to a conventional semiconductor device including a MOSFET formed on a semiconductor substrate can be achieved due to the use of a low cost member, mass production effect using a large area substrate, and reduction in the number of production process PR. Moreover, reliability degradation by a latch up phenomenon through a parasitic element inside a substrate does not occur fundamentally, and further, a high speed operation is achieved because there is no parasitic capacitance with a semiconductor substrate.

[Brief Description of the Drawings]

FIG. 1 is a cross-sectional diagram of a both-side sub-gate TFT which constitutes a thin film semiconductor device of the present invention;

FIG. 2 is a circuit diagram of a thin film semiconductor device of the present invention;

FIG. 3 is a circuit diagram which shows an embodiment mode of a thin film semiconductor device of the present invention;

FIG. 4 is a circuit diagram which shows another embodiment mode of a thin film semiconductor device of the present invention;

FIG. 5 is a characteristic diagram which shows a relation between a drain current and a reverse direction voltage between a drain and a source of a sub-gate TFT;

FIG. 6 is an ON current characteristic diagram of a sub-gate TFT;

FIG. 7 is a cross-sectional diagram which shows an embodiment mode of a device structure of a data driver IC which uses a thin film semiconductor device of the present invention;

FIG. 8 is a cross-sectional diagram which shows another embodiment mode of a device structure of a data driver IC which uses a thin film semiconductor device of the present invention;

FIG. 9 is a cross-sectional diagram which shows another embodiment mode of a device structure of a data driver IC which uses a thin film semiconductor device of the present invention;

FIG. 10 is a block diagram which shows a structure of a panel of AC drive PDP and a driving circuit part;

FIG. 11 is a block diagram which shows an inside structure of a data driver;

FIG. 12 is a driving waveform chart in one subfield period of each part of an AC drive PDP;

FIG. 13 is an equivalent circuit diagram which shows adjacent data electrodes Dn-1 and Dn+1, a scanning electrode, and a sustain electrode which form a capacitive coupling with a data electrode Dn of an AC drive PDP;

FIG. 14 is a waveform diagram which shows voltage fluctuation of a data electrode Dn during a writing period;

FIG. 15 is a cross-sectional diagram of an LDD high breakdown voltage MOSFET;

FIG. 16 is an equivalent circuit diagram of an inverter circuit constituted by a

MOSFET including a protection diode;

FIG. 17 is a cross-sectional diagram of a conventional sub-gate TFT;

FIG. 18 is a circuit diagram of a CMOS inverter which uses a conventional sub-gate TFT;

FIG. 19 is a circuit diagram which shows an example of a high voltage output buffer which includes a TFT protection element as well as an output buffer TFT;

FIG. 20 is a cross-sectional diagram of a conventional both-side sub-gate TFT; and

FIG. 21 is a cross-sectional diagram of a conventional both-side sub-gate MOSFET.

[Description of the Symbols]

1: poly-Si layer 2: gate electrode 2a: N-side gate electrode 2b: P-side gate electrode 3: source-side impurity layer 3a: source-side n-type impurity layer 3b: source-side p-type impurity layer 4: drain-side impurity layer 4a: drain-side n-type impurity layer 4b: drain-side p-type impurity layer 5: source-side contact 6: drain-side contact 7: sub-gate electrode 8: sub-gate electrode 9: source electrode 9a: N-side source electrode 9b: P-side source electrode 10: drain electrode 11: second gate insulating layer 12: first gate insulating layer 13: insulating substrate 14: semiconductor substrate 15: field oxide film 16: n-well 17: N-side low density impurity layer 18: P-side low density impurity layer 19a: high breakdown voltage N-side gate electrode 19b: high breakdown voltage P-side gate electrode 20: third gate insulating layer 21: PDP panel 22: data electrode 23: scanning electrode 24: sustain electrode 25a, 25b to 25k: data driver 26A to 26L: scanning driver 27: sustain pulse generator 28: n-bit shift register 29: n-bit latch 30: level shifter 31: high voltage output buffer 32: P-channel FET 33: N-channel FET 34: protection diode 35: PTFT 36: NTFT 37: PTFT protection element 38: NTFT protection element 39: second contact 40: upper wiring layer

(19)日本国特許庁（ＪＰ）

(12)公開特許公報（A）

(11)特許出願公開番号
特開2000－58849
（Ｐ２０００－５８８４９Ａ）
(43)公開日　平成12年２月25日(2000.2.25)

(51)Int.Cl.^{7}	識別記号	ＦＩ			テーマコード゛（参考）
H01L 29/786		H01L 29/78	613	A	5C094
G09F 9/33		G09F 9/33		M	
H01L 27/15		H01L 27/15		B	
		29/78	617	N	
			618	D	

審査請求　有　請求項の数16　ＯＬ　（全14頁）

(21)出願番号　特願平10－230938

(22)出願日　平成10年８月17日(1998.8.17)

(71)出願人　000004237
日本電気株式会社
東京都港区芝五丁目７番１号
(72)発明者　藤倉　克之
東京都港区芝五丁目７番１号　日本電気株式会社内
(74)代理人　100065385
弁理士　山下　穣平

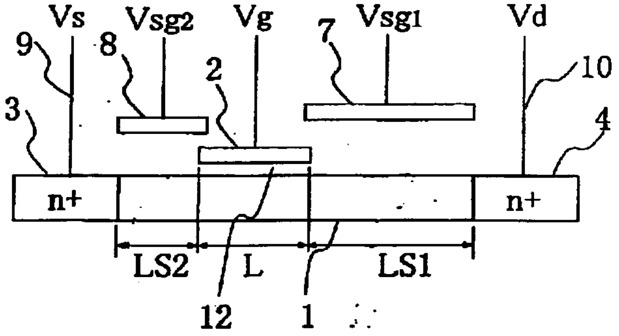
Ｆターム(参考)　5C094 AA13 AA15 AA31 AA44 BA03
BA27 BA31 CA19 DA13 EB05
FB14

(54)【発明の名称】薄膜半導体装置

(57)【要約】

【課題】　交流駆動型ＰＤＰ等の容量性負荷駆動装置の低コスト化、及び高速動作化を図る。

【解決手段】　高電圧出力バッファ回路を両側サブゲート構造ｐｏｌｙ－ＳｉＴＦＴによるＣＭＯＳ回路で構成し、且つ前記両側サブゲート構造ＴＦＴはゲート電極２に対してドレイン電極６、及びソース電極５方向に各々サブゲート電極７，８を併設し、サブゲート電極７，８のうちソース電極５側に位置するサブゲート電極８により形成されるチャネルの長さＬＳ２を、ドレイン電極６側に位置するサブゲート電極７により形成されるチャネルの長さＬＳ１よりも短くする。



【特許請求の範囲】

【請求項１】　Ｐチャンネル及びＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極とを有する第１構造ＴＦＴによる前記回路と、

前記多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し前記第２絶縁層を介して設けられた第３ゲート電極とを有する第２構造ＴＦＴによる前記回路とを含み、

前記第３ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第２ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、

前記第２ゲート電極及び第３ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

【請求項２】　前記第２ゲート電極と前記第３ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項１記載の薄膜半導体装置。

【請求項３】　前記ＮＴＦＴの前記第２ゲート電極及び前記第３ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第２ゲート電極と前記第３ゲート電極を低電位側電源端子に接続したことを特徴とする請求項１記載の薄膜半導体装置。

【請求項４】　Ｐチャンネル及びＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し前記第２絶縁層を介して設けられた第３ゲート電極とを有する第２構造ＴＦＴによる前記回路とを含み、

前記第３ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第２ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、

前記第２ゲート電極及び第３ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

【請求項５】　前記第２ゲート電極と前記第３ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項４記載の薄膜半導体装置。

【請求項６】　前記ＮＴＦＴの前記第２ゲート電極及び前記第３ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第２ゲート電極と前記第３ゲート電極を低電位側電源端子に接続したことを特徴とする請求項４記載の薄膜半導体装置。

【請求項７】　Ｐチャンネル及びＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極とを有する第１構造ＴＦＴによる前記回路と、

前記多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上にに第１絶縁層及び第２絶縁層とを介して設けられた第４ゲート電極と、前記第４ゲート電極と前記ドレイン側不純物層との間に位置し第３絶縁層を介して設けられた第５ゲート電極と、前記第４ゲート電極と前記ソース側不純物層との間に位置し前記第３絶縁層を介して設けられた第６ゲート電極とを有する第３構造ＴＦＴによる前記回路とを含み、

前記第６ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第５ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、

前記第５ゲート電極及び第６ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

【請求項８】　前記第５ゲート電極と前記第６ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項７記載の薄膜半導体装置。

【請求項９】　前記ＮＴＦＴの前記第５ゲート電極及び前記第６ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第５ゲート電極と前記第６ゲート電極を低電位側電源端子に接続したことを特徴とする請求項７記載の薄膜半導体装置。

【請求項１０】　Ｐチャンネル及びＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極とを有する第１構造ＴＦＴによる前記回路と、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し前記第２絶縁層を介して設けられた第３ゲート電極とを有する第２構造ＴＦＴによる前記回路と、

前記多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層及び第２絶縁層とを介して設けられた第４ゲート電極と、前記第４ゲート電極と前記ドレイン側不純物層との間に位置し第３絶縁層を介して設けられた第５ゲート電極と、前記第４ゲート電極と前記ソース側不純物層との間に位置し前記第３絶縁層を介して設けられた第６ゲート電極とを有する第３構造ＴＦＴによる前記回路とを含み、

前記第３ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第２ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、前記第２ゲート電極及び第３ゲート電極にバイアス電圧を印加し、

前記第６ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第５ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、前記第５ゲート電極及び第６ゲート電極に他のバイアス電圧を印加することを特徴とする薄膜半導体装置。

【請求項１１】　前記第２ゲート電極と前記第３ゲート電極に共通のバイアス電圧を印加し、前記第５ゲート電極と前記第６ゲート電極に他の共通のバイアス電圧を印加することを特徴とする請求項１０記載の薄膜半導体装置。

【請求項１２】　前記ＮＴＦＴの前記第２ゲート電極及び前記第３ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第２ゲート電極と前記第３ゲート電極を低電位側電源端子に接続し、前記ＮＴＦＴの前記第５ゲート電極及び前記第６ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第５ゲート電極と前記第６ゲート電極を低電位側電源端子に接続することを特徴とする請求項１０記載の薄膜半導体装置。

【請求項１３】　Ｐチャンネル及びＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置であって、

多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し第３絶縁層を介して設けられた第６ゲート電極とを有する第４構造ＴＦＴによる前記回路を含み、

前記第６ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さを、前記第２ゲート電極により前記ｐ－Ｓｉ層中に形成されるチャネルの長さよりも短くし、前記第２ゲート電極及び第６ゲート電極にバイアス電圧を印加することを特徴とする薄膜半導体装置。

【請求項１４】　前記第２ゲート電極と前記第６ゲート電極に共通のバイアス電圧を印加することを特徴とする請求項１３記載の薄膜半導体装置。

【請求項１５】　前記ＮＴＦＴの前記第２ゲート電極及び前記第６ゲート電極を高電位側電源に接続し、前記ＰＴＦＴの前記第２ゲート電極と前記第６ゲート電極を低電位側電源端子に接続したことを特徴とする請求項１３記載の薄膜半導体装置。

【請求項１６】　前記第１構造ＴＦＴの前記第１ゲート電極、前記ソース側不純物層、前記ドレイン側不純物層、及び、前記ｐ－Ｓｉ層とがセルフアライン構造を取ることを特徴とする請求項１、７、１０のいずれかに記載された薄膜半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、薄膜半導体装置に関し、特に交流駆動型プラズマディスプレイ（以下ＰＤＰを略す）やエレクトロルミネッセンスディスプレイ（以下ＥＬと略す）のような高電圧動作の必要なマトリクスディスプレイ等を駆動するのに用いる薄膜半導体装置に関する。

【０００２】

【従来の技術】液晶ディスプレイ、ＰＤＰ、あるいはＥＬといったフラットパネルディスプレイが既に世の中に出現している。近年では特にＰＤＰの大画面化が進み、

４０、５０インチといった、ＣＲＴでは技術的に不可能なほどのサイズの物も実用化されてきており、将来ＣＲＴに代わるディスプレイとして大きな期待を集めている。しかしながら一方では、ＣＲＴに比べてまだまだ高価で、一般家庭にＰＤＰを普及させるには大幅な低コスト化が求められているのが実状である。

【０００３】ＰＤＰにはマトリクス状に発光セルが配列されており、これらのセルを発光駆動するための方式として交流駆動型、及び直流駆動型がある。両者のうち現在主流となっているのは交流駆動型である。図１０は交流駆動型ＰＤＰのパネル及びその駆動回路部分の構成を示したブロック図である。ＰＤＰパネル２１は、ｋ×ｎ本のデータ電極２２を形成したガラス板と、走査電極２３と維持電極２４を各々Ｌ×m本形成したガラス板とを、互いに貼り合わせて封止した構造となっている。これら３種類の電極で囲まれた空間領域が発光セルとなり、隣接するセル同士は隔壁により分離されている。セル内には希ガス等からなる混合ガスが封入されており、これらの電極に電圧を印加することによりセル内部では放電が起こり発光する。なお、全ての電極は絶縁層により放電空間から隔絶されており、駆動回路からみるとＰＤＰパネル２１は容量性負荷となり、この容量に駆動回路から電荷が充電される過渡状態時にのみ放電が行われる。これが交流駆動型と呼ばれる所以である。ｋ×ｎ本のデータ電極２２にはデータドライバ２５ａ～２５ｋの出力端子Ｄ１～Ｄｋｎが接続されており、Ｌ×m本の走査電極２３には走査ドライバ２６Ａ～２６Ｌの出力端子Ｓ１～ＳＬmが接続されている。また、Ｌ×m本の維持電極２４には維持パルス発生器２７が接続されており、さらに走査ドライバ２６Ａ～２６Ｌの電源入力端子には図示しない切換スイッチを介して維持パルス発生器２７が接続されている。以上の構成において、データドライバ２５ａ～２５ｋ及び走査ドライバ２６Ａ～２６Ｌは既にＩＣ化されている。

【０００４】ＰＤＰでは画像の中間調表示を行うために、画面の１フィールドを複数のサブフィールドに分割している。図１２は、図１０に示すＰＤＰ各部の１サブフィールド期間における駆動波形図である。先ず書込期間では、走査ドライバ２６Ａ～２６Ｌから各走査電極Ｓ１～ＳＬmに対して走査パルス信号（振幅Ｖｓ－Ｖｂ＝－８０～－９０Ｖ）が順次印加され、これに同期してデータドライバ２５ａ～２５ｋからデータ電極Ｄ１～Ｄｋｎに対して表示信号であるデータパルス信号が印加される。これにより各データ電極２２と選択状態にある走査電極２３との交点上のセルに表示信号が印加され、すべての走査電極２３を走査することによりＰＤＰパネル２１の全てのセルに表示信号が書き込まれる。なお、このデータパルス信号の出力駆動電圧ＶＤは、高電位側電源Ｖｄｄ（＝６０～８０Ｖ）及び低電位側電源Ｖｓｓ間の二値をとり、各セル内ではこの書込情報が保持される。

【０００５】次に維持期間では、維持パルス発生器２７から全ての維持電極２４に対して共通の連続した維持パルス（振幅Ｖｃ－Ｖｓｓ＝－１６０～－１８０Ｖ）を印加する。また、全ての走査電極２３に対しては走査ドライバ２６Ａ～２６Ｌの電源入力端子に接続されている図示しない切換スイッチを維持パルス発生器２７側に切り換えることにより、維持パルス発生器２７から全ての走査電極２３に対して共通の連続した維持パルスを印加する。但し、走査電極２３に印加する維持パルスは維持電極２４に印加するそれとは逆位相のものである。この維持期間においては、書込期間でデータ電極２２にＶｄｄレベルの信号が書き込まれたセルのみが放電を起こして発光する。また、連続した維持パルスの出力パルス数をサブフィールド毎に変化させることでセルの発光回数が変化するため、視覚的には発光輝度が変化したように見え、中間調表示が可能となる。

【０００６】最後に予備放電期間では、予備放電パルス、及び予備放電消去パルスを全ての走査電極２３、全ての維持電極２４に印加することにより、各セルに保持されていたデータパルス信号を消去し、次の１サブフィールド期間に移る。

【０００７】上述の一連の動作において、各データ電極２２に印加すべき表示信号は図１０に示す範囲の外部からＤＡＴ１～ＤＡＴｋのロジック信号としてデータドライバ２５ａ～２５ｋに入力される。

【０００８】図１１は、各データドライバ２５ａ～２５ｋの内部構成を示すブロック図である。同図において、ｎビットシフトレジスタ２８はクロックパルスＣＬＫに同期して、外部から入力されたシリアル表示信号ＤＡＴｋを順次取り込んで、パラレル信号Ｑ１～Ｑｎに変換する。ｎビットラッチ２９はこれらのパラレル信号Ｑ１～Ｑｎを取り込んだ後に、図１２に示した１～Ｌmの走査パルスに同期したラッチ信号ＬＥのタイミングでパラレル信号Ｓ１～Ｓｎを同一タイミングで出力する。ここまでで処理される信号は振幅が３．３～５Ｖ程度の低電圧ロジック信号である。次にレベルシフタ３０は、パラレル信号Ｓ１～Ｓｎを６０～８０Ｖ以上の振幅をもつ高電圧ロジック信号に個別にレベル変換する。そして出力バッファ３１は、レベルシフタ３０の出力信号を大きな電流容量に変換して出力し、各データ電極２２を駆動する。

【０００９】以上のＰＤＰの構成及び動作において、最近の５０インチクラス高精細カラーの仕様では表示画素数が１３６５×７６８となり、データ電極数はＲＧＢ３色合計で４０９５本にも達する。一般的に使用されているデータドライバＩＣ及び走査ドライバＩＣの出力端子数は４０～９６出力であるから、データドライバＩＣの使用個数は４３～１０２個と非常に多い。さらに、高精細ＰＤＰでは、データドライバ内部における表示信号の処理速度が速くなり、しかもドライバの負荷となるデー

タ電極１本当たりの容量も大きくなるため、図１０においてデータ電極２２をＰＤＰパネル２１の上下方向の中心で２分割してそれぞれ上下に引き出して別々に駆動する方式や、データ電極２２を１本おきに上下に引き出して別々に駆動する方式を採ることで、ドライバ内部の動作周波数を下げたり、駆動負荷を軽減している。しかし、このような方式を採った場合には、データドライバＩＣの使用個数はさらに増えることとなり、今後のＰＤＰの低コスト化に対して大きな障害となる。従って、データドライバＩＣの低コスト化が非常に重要な課題となってきている。

【００１０】ここで、上述したデータドライバＩＣのデバイス構造について説明する。データドライバＩＣ内部では低電圧及び高電圧のロジック信号を取り扱うが、特に高電圧に対しては高耐圧ＭＯＳＦＥＴを回路に用いている。具体的には、ＬＤＤ（Ｌｉｇｈｔｌｙ Ｄｏｐｅｄ Ｄｒａｉｎ）構造やサブゲート構造があげられる。これらは何れもドレイン電極側に前記構造をもつ領域を設けることで、ゲート電極下のチャネル領域のドレイン端とドレイン電極間に電位勾配を持たせて、ドレイン高電界を緩和しようというものである。図１５は、ＬＤＤ構造高耐圧ＭＯＳＦＥＴを用いてＣＭＯＳインバータ回路を構成し、図１１内の出力バッファ３１に用いた例を示す断面図である。その製造工程の一例としては、まず半導体基板１４上に不純物イオン注入によりｎウェル１６、及びドレイン領域となるＮ側低濃度不純物層１７、Ｐ側低濃度不純物層１８を順次形成する。その後、フィールド酸化膜１５を形成する。次に、Ｎ側ゲート電極２ａ及びＰ側ゲート電極２ｂを形成してから、ソース領域及び保護ダイオードとなるソース側ｎ型不純物層３ａ、ソース側ｐ型不純物層３ｂを形成する。そして、ソース側コンタクト５及びドレイン側コンタクト６を開口した後に、アルミ等の金属薄膜からなるＮ側ソース電極９ａ、Ｐ側ソース電極９ｂ、及びドレイン電極１０を形成する。以上の製造工程により、高耐圧ＭＯＳＦＥＴを用いたＣＭＯＳインバータを製造しようとした場合、必要なマスクＰＲ数は８ＰＲとなる。しかし、実際のドライバＩＣでは低電圧ロジック回路用ＭＯＳＦＥＴを同一基板上に形成したり、２層アルミ配線により内部回路の接続レイアウトを行うのが一般的であるから、上記例の製造工程に必要なマスクＰＲ数は少なくとも１０ＰＲ以上となる。

【００１１】ところで、筆者らは先に述べたドライバＩＣに対する低コスト化要求に応えるための一つの方法として、多結晶シリコン（以下ｐｏｌｙ－Ｓｉと略す）からなる薄膜トランジスタ（Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ、以下ＴＦＴと略す）を用いてデータドライバＩＣを実現するための研究を重ねてきた。以前のｐｏｌｙ－Ｓｉ薄膜は１０００℃程度と半導体製造プロセス並みの高温で形成する方法が主体で、そのような条件に耐えるような基板材料として石英基板を用いてきた。しかし、近年では５００℃以下のプロセス温度で形成可能な、いわゆる低温ｐｏｌｙ－Ｓｉ薄膜が主流となってきており、基板材料として安価な無アルカリガラス基板が使用できることから、半導体基板に対してデバイス部材のコスト低減が可能である。また、その製造プロセスは液晶ディスプレイに用いる非晶質シリコンＴＦＴ用のものとある程度共有化が可能であり、しかも半導体基板に比べて大面積の基板が使用できるため、一括大量生産による製造コスト低減も可能である。一方、デバイス特性的に見れば特に最近では技術開発も進んで高品質な低温ｐｏｌｙ－Ｓｉ薄膜が得られるようになり、ＴＦＴとしての移動度も大幅に向上してきている。さらに、ＴＦＴは絶縁基板上に形成されることから、各ＴＦＴ素子間が完全に分離されるので、従来の半導体基板上に形成されるＭＯＳＦＥＴのように、基板内の寄生素子を介したラッチアップ現象は根本的に発生しない。これは、特にデータドライバのような高耐圧ＩＣにとっては大きなメリットとなり、信頼性向上が可能である。さらに、同様の理由からトランジスタと基板との間の寄生容量がないため、デバイス動作の高速化が可能である。このような理由から、ＰＤＰのデータドライバＩＣに対して、ｐｏｌｙ－ＳｉＴＦＴを用いた薄膜半導体装置の適用可能性に道が開けてきた。

【００１２】データドライバＩＣを実現するには、先にも述べたとおり高耐圧ＴＦＴの実用化が不可欠である。高耐圧ＴＦＴの公知例としてはサブゲート構造ＴＦＴがあり、それはＴｉａｏ－Ｙｕａｎ Ｈｕａｎｇらによって（「Ａ Ｓｉｍｐｌｅｒ１００－Ｖ Ｐｏｌｙｓｉｌｉｃｏｎ ＴＦＴ ｗｉｔｈ ＩｍｐｒｏｖｅｄＴｕｒｎ－ＯＮａｒａｃｔｅｒｉｓｔｉｃｓ」，ＩＥＥＥ ＥｌｅｃｔｒｏｎＤｅｖｉｃｅ Ｌｅｔｔｅｒｓ，ｖｏｌ．１１，Ｎｏ．６，Ｊｕｎｅ，１９９０）に報告されている。図１７は従来のサブゲート構造ＴＦＴの断面図である。絶縁性基板上にｐｏｌｙ－Ｓｉ層１が堆積されており、チャネル領域となる。ｐｏｌｙ－Ｓｉ層１上には、第１ゲート絶縁層１２を介してゲート電極２が形成されている。ゲート電極２上にはさらに第２ゲート絶縁層１１が形成されておりその上部には第２ゲート電極７が形成されている。本構成によるサブゲート構造ＴＦＴはゲート電極２下に形成されるＴＦＴと、第２ゲート電極７下に形成されるＴＦＴとを直列接続したものとみなすことができる。なお、ゲート電極２と第２ゲート電極７とは微妙にオーバーラップしている。ｐｏｌｙ－Ｓｉ層１のうち、これら２つのゲート電極下に位置する領域はノンドープで、その両端部にはソース側不純物層３及びドレイン側不純物層４が形成されている。ゲート電極２に印加するゲート電圧Ｖｇを変化させることによりＴＦＴのオン／オフ制御を行う。また、第２ゲート電極７には所定の正バイアス電圧Ｖｆｐを印加することによ

り、第２ゲート電極７下に形成されるＴＦＴのチャネル領域におけるソース端とドレイン側不純物層４との間に電位勾配を持たせることにより、ゲート電極２下に形成されるＴＦＴのチャネル領域におけるドレイン端とソース側不純物層３との間の電界を緩和させる。これにより、サブゲート構造ＴＦＴ全体としてみたドレイン～ソース電極間の高耐圧化を実現するものである。

【００１３】図１８は従来のサブゲート構造ＴＦＴを用いてＣＭＯＳインバータ回路を構成した例として報告されている回路図である。ＰＴＦＴ３５及びＮＴＦＴ３６のサブゲート電極は、それぞれＶｓｓ及びＶｄｄ端子に接続されているので、一定の電圧が印加される。また、各ゲート電極にはＶｄｄ－Ｖｓｓの振幅を有するゲートパルス電圧Ｖｇを印加することにより、インバータ回路の出力Ｖｏｕｔの論理状態を制御する。なお、本例ではＰＴＦＴ３５及びＮＴＦＴ３６の各ゲート電極を共通に接続してあるが、必ずしもこれに限定する必要はなく各々独立したゲート電圧を印加しても良い。この場合、各ゲート電圧の振幅はＶｄｄ－Ｖｓｓよりも小さくても良い。

【００１４】しかしながら、以上のようなサブゲート構造ＴＦＴを用いて、これをディスプレイ駆動用ドライバＩＣとして応用検討した事例はない。

【００１５】ここで、実際のＰＤＰを駆動する場合を考えてみる。図１３は、図１０に示すデータドライバの出力バッファをＴＦＴで構成してその１回路分を抜き出したものと、それに接続されているデータ電極Ｄｎ、隣接データ電極Ｄｎ－１、Ｄｎ＋１、及び走査電極２３、及び維持電極２４との間の結合容量を示した等価回路である。ＣＤは隣接データ電極間結合容量、Ｃｓは１本のデータ電極Ｄｎとそれに交差する全ての走査電極との間の結合容量、またＣｃは１本のデータ電極Ｄｎとそれに交差する全ての維持電極との間の結合容量である。このような結合容量が存在すると、隣接データ電極、あるいは走査電極、維持電極の駆動電圧レベルが変化した際に、データ電極Ｄｎの電圧がこれらの結合容量を介して変動する。

【００１６】図１４は、図１２に示した波形図の書込期間において、データ電極Ｄｎの電圧変動の様子を示した波形図である。図１２において、走査ドライバの駆動出力状態が例えば同図（Ｂ）から（Ｃ）に変化するタイミングに同期して、データ電極Ｄｎの駆動出力状態はＶｓｓを維持し、且つＤｎに隣接するデータ電極Ｄｎ－１、Ｄｎ＋１の駆動出力状態がＶｄｄからＶｓｓに変化するような表示パターンを想定した場合、データ電極Ｄｎの駆動電圧ＶＤｎは本来Ｖｓｓであるが、負方向にΔＶＤｎの変動が発生した後に、ＮＴＦＴ３６のオン抵抗分を介して変動電圧分がＶｓｓに吸収されて本来の電圧に戻る。実際のＰＤＰにおける結合容量の値は、ＣＤ、Ｃｓ、Ｃｃ共に約１５ｐＦである。このときの変動電圧分ΔＶＤｎのピーク値は約３０Ｖとなる。

【００１７】以上説明した電圧変動が起こると、図１３のＮＴＦＴ３６においてドレイン電極側の電圧がソース電極側のそれよりも低くなる。この場合、図１７で説明したような従来のサブゲート構造ＴＦＴの場合には、ドレイン～ソース電極間の電位関係が逆転するとＴＦＴのソース電極側に電界の緩和効果がないため耐圧が極端に低くなり、容易にブレークダウンして素子破壊を引き起こすという問題があった。

【００１８】この問題に対しては、図１５に示したＬＤＤ構造高耐圧ＭＯＳＦＥＴではソース側ｎ型不純物層３ａ、ソース側ｐ型不純物層３ｂを設け、出力保護ダイオードをＭＯＳＦＥＴ内部に形成することにより解決していた。図１６は、保護ダイオードを形成したＭＯＳＦＥＴによるインバータ回路の等価回路図である。ＰＦＥＴ３２及びＮＦＥＴ３３のドレイン～ソース間に保護ダイオード３４が挿入されており、ドレイン～ソース間に逆電圧が印加されるとダイオードが導通する。その際、ダイオード電流は基板方向に流れるためＭＯＳＦＥＴに比べて電流容量が大で、逆電圧に伴う電流はほとんどダイオードを通るので、トランジスタの破壊を防止することができる。

【００１９】これに対し、ｐｏｌｙ－ＳｉＴＦＴは絶縁基板上に形成され、しかも図１７のｐｏｌｙ－Ｓｉ層１は一般に１０００オングストローム以下と薄いため、図１５の高耐圧ＭＯＳＦＥＴ断面図に示すような厚さ方向の不純物プロファイルにより保護ダイオードを形成することは不可能である。従って、保護ダイオードはラテラル構造のものとし、ＴＦＴとは独立した素子として基板上に形成する必要がある。しかし、その場合には素子レイアウト面積が大きくなるという問題がある。さらにｐｏｌｙ－Ｓｉ薄膜には結晶粒界があるためにそれを介したリーク電流が多く、ダイオードを形成しても整流特性が悪いという欠点があり、現状ではこれをダイオードとして用いるのは困難である。そこで別に設けたＴＦＴをダイオード接続することにより保護用素子として用いる方法が一般的にとられている。

【００２０】図１９は出力バッファ用のＰＴＦＴ３５及びＮＴＦＴ３６とは別に、ＰＴＦＴ保護素子３７及びＮＴＦＴ保護素子３８を設けた高耐圧出力バッファの一例を示す回路図である。出力端子ＶｏｕｔにはＰＤＰパネルのデータ電極が接続されるが、前述したような結合容量を介してＶｏｕｔの電圧が変動した場合には、これらの保護素子３７、３８を介してその変動分を吸収しようとするものである。しかしながら、図１９の構成では保護素子３７、３８のドレイン側の耐圧を確保する必要性は出力バッファ用ＴＦＴ３５、３６の場合と何ら変わりはないため、サブゲート電極をドレイン側に入れることになる。しかし、これではソース電極側の電界緩和作用がなく、ドレイン～ソース間逆電圧印加時の素子破壊に

対する解決にはならない。

【００２１】上記問題に対する解決策として、出力バッファＴＦＴのサブゲート電極をドレイン電極側に加えて新たにソース電極側にも設けた、いわゆる両側サブゲート構造にすることによってドレイン～ソース間逆耐圧を向上させる方法が考えられる。

【００２２】図２０は、特開平５－２５１７０２公報に開示されている従来の両側サブゲート構造ＴＦＴの断面図である。絶縁性基板１３上にアルミ薄膜からなるソース電極９及びドレイン電極１０が形成され、さらにその上部にはソース側ｎ型不純物層３ａ、ソース側ｐ型不純物層３ｂ、ドレイン側ｎ型不純物層４ａ、及びドレイン側ｐ型不純物層４ｂが形成されている。ｐｏｌｙ－Ｓｉ層１は前記不純物層を覆うように形成され、その上部には第１ゲート絶縁層１２を介してゲート電極２が形成されている。さらに、第２ゲート絶縁層１１を介して第２ゲート電極７及び第３ゲート電極８が形成されている。

【００２３】また、図２１は特開平５－９０５８７号公報に開示されている従来の両側サブゲート構造ＭＯＳＦＥＴの断面図である。半導体基板１４上にフィールド酸化膜１５が形成され、これに囲まれた領域に第１ゲート絶縁層１２、ゲート電極２が順次形成されている。また、第１ゲート絶縁層１２にはソース側コンタクト５及びドレイン側コンタクト６が開口されている。そして、第１ゲート絶縁層１２上部には第２ゲート絶縁層１１を介して第２ゲート電極７及び第３ゲート電極８が形成されている。

【００２４】

【発明が解決しようとする課題】上述したこれらの公報に開示されている両側サブゲート構造ＴＦＴもしくはＭＯＳＦＥＴは、その発明図を見ると何れも第２ゲート電極７と同じチャネル方向長さをもつ、第３ゲート電極８を有するように記載されている。従って、このようなＴＦＴを用いればＴＦＴのドレイン～ソース間における逆方向耐圧は、順方向のそれと同じだけ確保することが可能である。図５はサブゲート構造ＴＦＴにおいて、サブゲート電極に印加するバイアス電圧を一定にした場合の、ドレイン電流Ｉｄとドレイン～ソース間逆方向電圧－Ｖｄｓとの関係を示す特性図である。同図において、（ａ）片側サブゲート構造のドレイン～ソース間逆耐圧ＢＶｄｓａは低いが、（ｃ）両側サブゲート構造とすることにより耐圧はＢＶｄｓｃのように向上し、これは片側サブゲート構造におけるドレイン～ソース間順方向の耐圧に相当する。しかし、耐圧が向上する一方でオン電流は制限される。図６はサブゲート構造ＴＦＴにおけるオン電流特性図である。同図において、（ｃ）両側サブゲート構造とすることにより、オン電流は片側サブゲート構造の場合に比べて大幅に低下する。このため、ドライバとして所望の駆動能力を確保しようとすると、出力バッファ用ＴＦＴのサイズを大きくしなければならない。すると、ドライバＩＣチップ面積の増加、ひいてはコストアップを招くという問題があった。

【００２５】そこで、本発明は、容量性負荷駆動装置、とりわけ交流駆動型ＰＤＰ等を駆動するためのディスプレイ駆動装置を低コスト化すると共に、それに伴って発生する駆動能力低下を抑えつつ、負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブレークダウンによる素子破壊を防止することのできる薄膜半導体装置を提供することを課題としている。

【００２６】

【課題を解決するための手段】上記の課題を解決するための本発明は、ＰチャンネルおよびＮチャンネルの薄膜トランジスタ（ＴＦＴ）を有し、Ｐチャンネル薄膜トランジスタ（ＰＴＦＴ）のソース電極は高電位側電源に接続され、Ｎチャンネル薄膜トランジスタ（ＮＴＦＴ）のソース電極は低電位側電源に接続され、前記ＰＴＦＴ及び前記ＮＴＦＴのドレイン電極を共通に接続した回路を含む薄膜半導体装置である。

【００２７】そして、上記ＴＦＴは、多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極とを有する第１構造ＴＦＴによる前記回路と、多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し前記第２絶縁層を介して設けられた第３ゲート電極とを有する第２構造ＴＦＴによる前記回路と、多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層及び第２絶縁層とを介して設けられた第４ゲート電極と、前記第４ゲート電極と前記ドレイン側不純物層との間に位置し第３絶縁層を介して設けられた第５ゲート電極と、前記第４ゲート電極と前記ソース側不純物層との間に位置し前記第３絶縁層を介して設けられた第６ゲート電極とを有する第３構造ＴＦＴによる前記回路と、多結晶シリコン（ｐ－Ｓｉ）層と、前記ｐ－Ｓｉ層の一端に形成したソース側不純物層と、前記ｐ－Ｓｉ層の他端に形成したドレイン側不純物層と、前記ｐ－Ｓｉ層上に第１絶縁層を介して設けられた第１ゲート電極と、前記第１ゲート電極と前記ドレイン側不純物層との間に位置し第２絶縁層を介して設けられた第２ゲート電極と、前記第１ゲート電極と前記ソース側不純物層との間に位置し第３絶縁層を介して設けられた第６ゲート電極とを有する第４構造ＴＦＴによる前

記回路の４種類の回路の内少なくとも一つを選択して構成する。

【００２８】更に、主ゲート（第１又は第４ゲート電極）と前記ソース側不純物層との間に位置するサブゲート（第３又は第６ゲート電極）がｐ－Ｓｉ層に作るチャンネルの長さＬＳ２を、主ゲート（第１又は第４ゲート電極）と前記ドレイン側不純物層との間に位置するサブゲート（第２又は第５ゲート電極）がｐ－Ｓｉ層に作るチャンネルの長さＬＳ１より短くしている。

【００２９】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態について説明する。

【００３０】図１は、本発明の薄膜半導体装置を構成する両側サブゲート構造ＴＦＴの断面図である。図１に示すように、本発明の薄膜半導体装置は、多結晶シリコン（ｐ－Ｓｉ）層１と、ｐ－Ｓｉ層１の一端に形成したソース側不純物層３と、ｐ－Ｓｉ層の他端に形成したドレイン側不純物層４と、前記ｐ－Ｓｉ層１上に図示しない第１絶縁層を介して設けられた第１ゲート電極（Ｖｇ）２と、第１ゲート電極（Ｖｇ）２とドレイン側不純物層４との間に位置し図示しない第２絶縁層を介して設けられた第２ゲート電極（Ｖｓｇ１）７と、第１ゲート電極（Ｖｇ）２とソース側不純物層３との間に位置し図示しない第３絶縁層を介して設けられた第６ゲート電極（Ｖｓｇ２）８とを有する構造のＴＦＴを含んでおり、第６ゲート電極（Ｖｓｇ２）８によりｐ－Ｓｉ層中に形成されるチャネルの長さＬＳ２を、第２ゲート電極（Ｖｓｇ１）７により前記ｐ－Ｓｉ層中に形成されるチャネルの長さＬＳ１よりも短くしている。

【００３１】図２は、図１に示した両側サブゲート構造ＴＦＴを用いた本発明の第１の実施形態による薄膜半導体装置の回路図である。ＰＴＦＴ３５のソース電極は電源Ｖｄｄに接続され、ＮＴＦＴ３６のソース電極はＶｓｓに接続されている。一方、各ＴＦＴのドレイン電極同士は共通接続されて出力Ｖｏｕｔとなっており、その負荷にはＰＤＰのデータ電極等の容量性負荷が接続されている。信号入力端子は、ＰＴＦＴ３５のゲート電極及びＮＴＦＴ３６のゲート電極で、それぞれＶｇｐ、Ｖｇｎのゲート電圧を印加する。さらに、ＰＴＦＴ３５及びＮＴＦＴ３６のサブゲート電極には、それぞれＶｓｇｐ１、Ｖｓｇｐ２、Ｖｓｇｎ１、Ｖｓｇｎ２のバイアス電圧を印加する。

【００３２】上記構成の薄膜半導体装置をＰＤＰ等のデータドライバとして用いた場合、隣接データ電極、あるいは走査電極、維持電極の駆動電圧レベルが変化した際に、隣接データ電極間結合容量ＣＤ、１本のデータ電極Ｄｎとそれに交差する全ての走査電極との間の結合容量Ｃｓ、または１本のデータ電極Ｄｎとそれに交差する全ての維持電極との間の結合容量Ｃｃを介して、データ電極Ｄｎの電圧がΔＶＤｎだけ変動すると仮定する。その際、図２の断面構造において、第２サブゲート電極８下に形成されるＴＦＴのチャネル長ＬＳ２がＬＳ２＜ＬＳ１となり、且つ図５（ｂ）に示すようにドレイン～ソース間逆方向耐圧の大きさＢＶｄｓｂがＢＶｄｓ＞　ΔＶＤｎ　となるような範囲で、ＬＳ２を設定して両側サブゲート構造ＴＦＴを形成する。これにより、図６（ｂ）に示すようにドレイン電流低下を従来の両側サブゲート構造ＴＦＴよりも抑えつつ、且つ必要なドレイン～ソース間逆方向耐圧を確保することができる。

【００３３】従って、本実施形態によれば、薄膜半導体装置の駆動能力低下を従来の両側サブゲート構造ＴＦＴを用いた場合よりも少なくしつつ、且つ負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブレークダウンによる素子破壊を防止することが可能となる。これにより、必要な耐圧を確保しつつ、従来の両側サブゲート構造ＴＦＴを用いた装置よりも小型化が可能となる。また、ＴＦＴは絶縁基板上に形成されることから、各ＴＦＴ素子間が完全に分離されるので、従来の半導体基板上に形成されるＭＯＳＦＥＴのように、基板内の寄生素子を介したラッチアップ現象は根本的に発生せず、信頼性が向上する。さらに、ＭＯＳＦＥＴのように半導体基板との間の寄生容量がないため、今後の技術開発によりｐｏｌｙ－Ｓｉ薄膜の移動度が結晶シリコン並みに向上すれば、半導体基板上のＭＯＳＦＥＴにより構成された回路よりも高速動作化が可能となる。

【００３４】図３は、本発明の第２実施形態による薄膜半導体装置の回路図である。ＰＴＦＴ３５とＮＴＦＴ３６はＣＭＯＳインバータ回路を形成している。また、ＰＴＦＴ３５の２本のサブゲート電極は共通に接続されており、Ｖｓｇｐなるバイアス電圧を印加する。ＮＴＦＴ３６の２本のサブゲート電極についても同様にしてバイアス電圧Ｖｓｇｎを印加する。バイアス電圧は、ＴＦＴに印加されるドレイン～ソース電極間電圧の内、図２のｐｏｌｙ－Ｓｉ層１の中でゲート電極２下に形成されるＴＦＴのチャネル領域に分圧される電圧がこのチャネル領域の耐圧以内になるように設定する。本実施形態のようなバイアスの印加方法をとることにより、必要となるバイアス電圧の種類が少なくて済むので、外部電源を含めた搭載装置の低コスト化が可能である。

【００３５】図４は、本発明の第３実施形態による薄膜半導体装置の回路図である。本実施形態においては、ＰＴＦＴ３５の２本のサブゲート電極は共通に接続されており、バイアス電圧としてＶｓｓを印加する。一方、ＮＴＦＴ３６の２本のサブゲート電極についても同様にしてバイアス電圧としてＶｄｄを印加する。この場合、バイアス電圧源を新たに設ける必要がないため、本発明の薄膜半導体装置を搭載する装置全体としてみるとさらなる低コスト化が可能である。但し、ＴＦＴに印加されるドレイン～ソース電極間電圧の内、図２のｐｏｌｙ－Ｓｉ層１の中でゲート電極２下に形成されるＴＦＴのチャ

ネル領域に分圧される電圧がこのチャネル領域の耐圧以内になるようにするために、チャネル長Ｌ、チャネル長ＬＳ１、及びチャネル長ＬＳ２の比率、及び第１ゲート絶縁層１２、第２ゲート絶縁層１１の比率を適切に設定する必要がある。

【００３６】図８の右半分は本発明の第４実施形態による薄膜半導体装置の断面図であり、高耐圧Ｎ側ゲート電極１９ａ、高耐圧Ｐ側ゲート電極１９ｂにより形成されるＴＦＴからなる。無アルカリガラス等の絶縁性基板１３上にはｐｏｌｙ－Ｓｉ層１が形成され、その両端部にはＮＴＦＴとなるｐｏｌｙ－Ｓｉ層１の両端部にはソース側ｎ型不純物層３ａ、ドレイン側ｎ型不純物層４ａが形成され、同様にＰＴＦＴの側にはソース側ｐ型不純物層３ｂ、ドレイン側ｐ型不純物層４ｂが形成されている。そして、それらの上部に第１ゲート絶縁層１２を介して高耐圧Ｎ側ゲート電極１９ａ、高耐圧Ｐ側ゲート電極１９ｂが形成され、さらにその上部には第２ゲート絶縁層１１、及び第３ゲート絶縁層２０を介してゲート電極１９ａ、１９ｂの両側にそれぞれサブゲート電極７及びサブゲート電極８が形成されている。また、ソース側ｎ型不純物層３ａ、ドレイン側ｎ型不純物層４ａ、ソース側ｐ型不純物層３ｂ、及びドレイン側ｐ型不純物層４ｂの上部にはソース側コンタクト５及びドレイン側コンタクト６が開口されており、その開口部よりソース電極９及びドレイン電極１０が引き出されている。ここで、サブゲート電極８下に形成されるＴＦＴのチャネル長ＬＳ２は、サブゲート電極７下に形成されるＴＦＴのチャネル長ＬＳ１よりも短くなっている。以上説明した手順でN、及びＰの両側サブゲート構造ＴＦＴを形成しようとした場合、必要なマスクＰＲ数は６ＰＲとなり、半導体基板上にN、及びＰのＬＤＤ構造高耐圧ＭＯＳＦＥＴを形成する場合に比べてマスクＰＲ数を少なくすることができる。よって、従来のＬＤＤ構造高耐圧ＭＯＳＦＥＴよりも低コスト化が可能となる。

【００３７】図７は、本発明の第５実施形態による薄膜半導体装置の断面図である。ＰＤＰのデータドライバＩＣを構成しようとした場合には、低電圧ロジック回路、及び高電圧回路を同一基板上に形成する必要がある。絶縁性基板１３上にはｐｏｌｙ－Ｓｉ層１が形成され、その上部に第１ゲート絶縁層１２を介して、低電圧ロジック回路用ＴＦＴのＮ側ゲート電極２ａ、及びＰ側ゲート電極２ｂが形成されている。ＮＴＦＴとなるｐｏｌｙ－Ｓｉ層１の両端部にはソース側ｎ型不純物層３ａ、ドレイン側ｎ型不純物層４ａが形成され、同様にＰＴＦＴの側にはソース側ｐ型不純物層３ｂ、ドレイン側ｐ型不純物層４ｂが形成されている。そして、その上部には第２ゲート絶縁層１１を介してソース側コンタクト５及びドレイン側コンタクト６が開口され、さらに上部にソース電極９、ドレイン電極１０、及び高耐圧Ｎ側ゲート電極１９ａ、高耐圧Ｐ側ゲート電極１９ｂが同時形成されている。これらの電極の上には第３ゲート絶縁層２０を介して、サブゲート電極７、サブゲート電極８、及び上部配線層４０が同時形成されており、必要に応じて第３ゲート絶縁層２０に第２コンタクト４０を開口することにより、下層配線との電気的接続をとることができる。ここで、第２サブゲート電極８下に形成されるＴＦＴのチャネル長は、サブゲート電極７下に形成されるＴＦＴのチャネル長よりも短くなっている。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造ＴＦＴとともに、低電圧ロジック回路を構成するためのＴＦＴをも同一基板上に形成することができ、これらにより形成されるデータドライバＩＣの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクＰＲ数は８ＰＲで済む。従って、半導体基板上に形成されるＭＯＳＦＥＴに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、両側サブゲート構造ＴＦＴのゲート絶縁層を厚くすることができるため、ゲート電極１９ａ、１９ｂを高電圧ロジック信号で駆動することが可能となり、出力バッファ回路を構成するの両側サブゲート構造ＴＦＴの駆動能力を向上させることができる。

【００３８】図８は、本発明の第６実施形態による薄膜半導体装置の断面図である。絶縁性基板１３上にはｐｏｌｙ－Ｓｉ層１が形成され、ＮＴＦＴとなるｐｏｌｙ－Ｓｉ層１の両端部にはソース側ｎ型不純物層３ａ、ドレイン側ｎ型不純物層４ａが形成され、同様にＰＴＦＴの側にはソース側ｐ型不純物層３ｂ、ドレイン側ｐ型不純物層４ｂが形成されている。それらの上部に第１ゲート絶縁層１２を介して、低電圧ロジック回路用ＴＦＴのＮ側ゲート電極２ａ、Ｐ側ゲート電極２ｂ、及び高耐圧Ｎ側ゲート電極１９ａ、高耐圧Ｐ側ゲート電極１９ｂが同時形成されている。そして、その上部には第２ゲート絶縁層１１を介してソース側コンタクト５及びドレイン側コンタクト６が開口され、さらに上部にソース電極９、ドレイン電極１０が形成されている。これらの電極の上には第３ゲート絶縁層２０を介して、サブゲート電極７、サブゲート電極８、及び上部配線層４０が同時形成されており、必要に応じて第３ゲート絶縁層２０に第２コンタクト４０を開口することにより、下層配線との電気的接続をとることができる。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造ＴＦＴとともに、低電圧ロジック回路を構成するためのＴＦＴをも同一基板上に形成することができ、データドライバＩＣの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクＰＲ数は８ＰＲで済む。従って、半導体基板上に形成されるＭＯＳＦＥＴに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、両側サブゲート構造ＴＦＴのゲート電極１９ａ、１９ｂを低電圧ロジック信号で駆動することが可能となるため、出力バッファ回路のゲート電極

を駆動するための回路の構成を簡単にすることができる。

【００３９】図９は、本発明の第７実施形態による薄膜半導体装置の断面図である。本実施形態では、両側サブゲート構造ＴＦＴのうちＮＴＦＴのゲート電極１９ａが、低電圧ロジック用ＴＦＴのゲート電極２ａ、２ｂと同時形成され、また、両側サブゲート構造ＴＦＴのうちＰＴＦＴのゲート電極１９ｂが、ソース電極９、ドレイン電極１０と同時形成されている。本実施形態によれば、本発明の薄膜半導体装置を構成する両側サブゲート構造ＴＦＴとともに、低電圧ロジック回路を構成するためのＴＦＴをも同一基板上に形成することができ、データドライバＩＣの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクＰＲ数は８ＰＲで済む。従って、半導体基板上に形成されるＭＯＳＦＥＴに比べて製造コストを低く抑えることができる。さらに、本実施形態によれば、例えばＮＴＦＴのゲート電極１９ａを低電圧ロジック信号で駆動し、ＰＴＦＴのゲート電極１９ｂを高電圧ロジック信号で駆動するという組み合わせが可能となり、出力バッファ回路のゲート電極を駆動するレベルシフタの回路設計に対する自由度を向上させることができる。なお、本実施形態の構成はＰＴＦＴとＮＴＦＴを入れ替えた場合でも同様に実現することが可能である。

【００４０】なお、上記実施形態において、低電圧ロジック回路用ＴＦＴのソース側ｎ型不純物層３ａ、ドレイン側ｎ型不純物層４ａ、ソース側ｐ型不純物層３ｂ、及びドレイン側ｐ型不純物層４ｂを形成する際に、Ｎ側ゲート電極２ａ、Ｐ側ゲート電極２ｂを遮蔽層として用い、基板上部より不純物導入を行うことにより、低電圧ロジック回路用ＴＦＴをセルフアライン構造とすることができる。これにより、ゲート電極～ドレイン電極、及びゲート電極～ソース電極間のオーバーラップ容量を小さくすることができるので、低電圧ロジック回路の高速動作化が可能である。この場合も、デバイスの製造に必要なマスクＰＲ数は上記各実施形態に対して増えることはなく、低コスト化の利点を十分に生かすことが可能である。

【００４１】以上説明したような本発明の薄膜半導体装置を用いて構成したデータドライバＩＣによれば、設計した高圧ロジック回路の回路構成に最も好適になるようにＴＦＴのデバイス構造を任意に組み合わせて用いることが可能であり、回路設計の自由度が大幅に向上する。しかも、何れの組合せを用いても、デバイスの製造に必要なマスクＰＲ数は８ＰＲで済むことに変わりはなく、低コスト化の利点を十分に生かすことが可能である。

【００４２】なお、以上の実施形態に用いる絶縁性基板としては無アルカリガラスを用いるのが低コスト化を図る上で有利であるが、不透明なセラミック系絶縁性基板、もしくは半導体基板表面に絶縁層を形成したものを使用しても上記実施形態のディスプレイ駆動装置を構成することが可能である。

【００４３】さらに、上記実施形態において、図中には記載していないが、図１１のブロック図で説明したレベルシフタ３０については負荷の結合容量を介した駆動電圧変動の影響がないため、従来例で説明したような片側サブゲート構造ＴＦＴを用いても良い。この場合も上記で説明した本発明の薄膜半導体装置に対して製造工程数は何ら増えることはなく、低コスト化の利点を十分に生かすことが可能である。

【００４４】

【発明の効果】以上説明した第１実施形態の本発明によれば、薄膜半導体装置の駆動能力低下を従来の両側サブゲート構造ＴＦＴを用いた場合よりも少なくしつつ、且つ負荷の結合容量により駆動出力端子の駆動電圧が変動を受けたとしても、ブレークダウンによる素子破壊を防止することが可能となる。これにより、必要な耐圧を確保しつつ、従来の両側サブゲート構造ＴＦＴを用いた装置よりも小型化が可能であるという効果を有する。

【００４５】また、ＴＦＴは絶縁基板上に形成されることから、各ＴＦＴ素子間が完全に分離されるので、従来の半導体基板上に形成されるＭＯＳＦＥＴのように、基板内の寄生素子を介したラッチアップ現象は根本的に発生せず、信頼性が向上するという効果を有する。

【００４６】さらに、ＭＯＳＦＥＴのように半導体基板との間の寄生容量がないため、今後の技術開発によりｐｏｌｙ－Ｓｉ薄膜の移動度が結晶シリコン並みに向上すれば、半導体基板上のＭＯＳＦＥＴにより構成された回路よりも高速動作化が可能であるという効果を有する。

【００４７】また、本発明の第２実施形態による薄膜半導体装置によれば、必要となるバイアス電圧の種類が少なくて済むので、外部電源を含めた搭載装置の低コスト化が可能であるという効果を有する。

【００４８】また、本発明の第３実施形態による薄膜半導体装置によれば、バイアス電圧源を新たに設ける必要がないため、本発明の薄膜半導体装置を搭載する装置全体としてみるとさらなる低コスト化が可能であるという効果を有する。

【００４９】また、本発明の第４実施形態による薄膜半導体装置によれば、Ｎ、及びＰの両側サブゲート構造ＴＦＴを形成しようとした場合、必要なマスクＰＲ数は６ＰＲとなり、半導体基板上にＮ、及びＰのＬＤＤ構造高耐圧ＭＯＳＦＥＴを形成する場合に比べてマスクＰＲ数を少なくすることができる。よって、従来のＬＤＤ構造高耐圧ＭＯＳＦＥＴよりも低コスト化が可能となるという効果を有する。

【００５０】また、本発明の第５実施形態による薄膜半導体装置によれば、両側サブゲート構造ＴＦＴとともに、低電圧ロジック回路を構成するためのＴＦＴをも同一基板上に形成することができ、これらにより形成され

るデータドライバＩＣの高集積化によるチップサイズ縮小化が可能である。また、製造に必要なマスクＰＲ数は８ＰＲで済む。従って、半導体基板上に形成されるＭＯＳＦＥＴに比べて製造コストを低く抑えることができるという効果を有する。さらに、本実施形態によれば、両側サブゲート構造ＴＦＴのゲート電極を低電圧ロジック信号で駆動することが可能となるため、出力バッファ回路のゲート電極を駆動するための回路の構成を簡単にすることができるという効果を有する。

【００５１】また、本発明の第６実施形態による薄膜半導体装置によれば、両側サブゲート構造ＴＦＴのゲート絶縁層を厚くすることができるため、ゲート電極１９ａ、１９ｂを高電圧ロジック信号で駆動することが可能となり、出力バッファ回路を構成するの両側サブゲート構造ＴＦＴの駆動能力を向上させることができるという効果を有する。

【００５２】また、本発明の第７実施形態による薄膜半導体装置によれば、例えばＮＴＦＴのゲート電極を低電圧ロジック信号で駆動し、ＰＴＦＴのゲート電極を高電圧ロジック信号で駆動するという組み合わせが可能となり、出力バッファ回路のゲート電極を駆動するレベルシフタの回路設計に対する自由度を向上させることができるという効果を有する。

【００５３】また、本発明の薄膜半導体装置において低電圧ロジック回路用ＴＦＴをセルフアライン構造とすることにより、低電圧ロジック回路の高速動作化が可能であり、しかもデバイスの製造に必要なマスクＰＲ数は８ＰＲで済むことに変わりはなく、低コスト化の利点を十分に生かすことが可能であるという効果を有する。

【００５４】さらに、本発明の薄膜半導体装置によれば、半導体基板上にＭＯＳＦＥＴを形成した従来の半導体装置に対して、低コスト部材の使用、大面積基板による量産効果、製造工程ＰＲ数の低減等による装置の低コスト化が可能で、さらに基板内の寄生素子を介したラッチアップ現象による信頼性低下が根本的に発生せず、さらに半導体基板との間の寄生容量がないために高速動作化が可能であるという、優れた効果を発揮する。

【図面の簡単な説明】

【図１】本発明の薄膜半導体装置構成する両側サブゲート構造ＴＦＴの断面図。

【図２】本発明の薄膜半導体装置の回路図。

【図３】本発明の薄膜半導体装置の実施形態を示す回路図。

【図４】本発明の薄膜半導体装置の他の実施形態を示す回路図。

【図５】サブゲート構造ＴＦＴにおけるドレイン電流とドレイン～ソース間逆方向電圧の関係を示す特性図。

【図６】サブゲート構造ＴＦＴにおけるオン電流特性図。

【図７】本発明の薄膜半導体装置を用いたデータドライバＩＣのデバイス構造の実施形態を示す断面図。

【図８】本発明の薄膜半導体装置を用いたデータドライバＩＣのデバイス構造の他の実施形態を示す断面図。

【図９】本発明の薄膜半導体装置を用いたデータドライバＩＣのデバイス構造の他の実施形態を示す断面図。

【図１０】交流駆動型ＰＤＰのパネル、及び駆動回路部分の構成を示したブロック図。

【図１１】データドライバの内部構成を示すブロック図。

【図１２】交流駆動型ＰＤＰ各部の１サブフィールド期間における駆動波形図。

【図１３】交流駆動型ＰＤＰのデータ電極Ｄｎに対して、容量結合をなしている隣接データ電極Ｄｎ－１、Ｄｎ＋１、走査電極、及び維持電極を示した等価回路。

【図１４】書込期間において、データ電極Ｄｎの電圧変動の様子を示した波形図。

【図１５】ＬＤＤ構造高耐圧ＭＯＳＦＥＴの断面図。

【図１６】保護ダイオードを形成したＭＯＳＦＥＴによるインバータ回路の等価回路図。

【図１７】従来のサブゲート構造ＴＦＴの断面図。

【図１８】従来のサブゲート構造ＴＦＴを用いたＣＭＯＳインバータの回路図。

【図１９】出力バッファ用のＴＦＴとは別に、ＴＦＴ保護素子を設けた高耐圧出力バッファの一例を示す回路図。

【図２０】従来の両側サブゲート構造ＴＦＴの断面図。

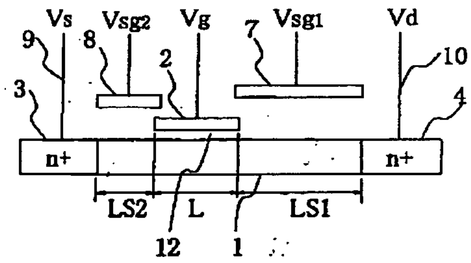
【図２１】従来の両側サブゲート構造ＭＯＳＦＥＴの断面図。

【符号の説明】

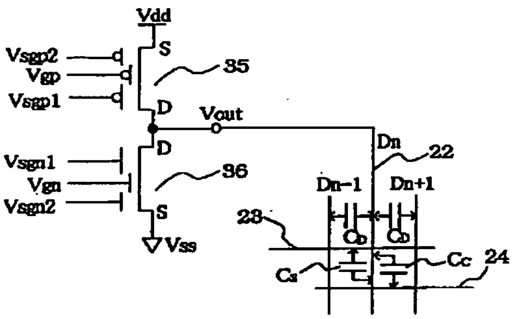
１	ｐｏｌｙ－Ｓｉ層
２	ゲート電極
２ａ	Ｎ側ゲート電極
２ｂ	Ｐ側ゲート電極
３	ソース側不純物層
３ａ	ソース側ｎ型不純物層
３ｂ	ソース側ｐ型不純物層
４	ドレイン側不純物層
４ａ	ドレイン側ｎ型不純物層
４ｂ	ドレイン側ｐ型不純物層
５	ソース側コンタクト
６	ドレイン側コンタクト
７	サブゲート電極
８	サブゲート電極
９	ソース電極
９ａ	Ｎ側ソース電極
９ｂ	Ｐ側ソース電極
１０	ドレイン電極
１１	第２ゲート絶縁層
１２	第１ゲート絶縁層
１３	絶縁性基板

１４　半導体基板
１５　フィールド酸化膜
１６　ｎウェル
１７　Ｎ側低濃度不純物層
１８　Ｐ側低濃度不純物層
１９ａ　高耐圧Ｎ側ゲート電極
１９ｂ　高耐圧Ｐ側ゲート電極
２０　第３ゲート絶縁層
２１　ＰＤＰパネル
２２　データ電極
２３　走査電極
２４　維持電極
２５ａ、２５ｂ～２５ｋ　データドライバ
２６Ａ～２６Ｌ　走査ドライバ
２７　維持パルス発生器
２８　ｎビットシフトレジスタ
２９　ｎビットラッチ
３０　レベルシフタ
３１　高圧出力バッファ
３２　ＰチャンネルＦＥＴ
３３　ＮチャンネルＦＥＴ
３４　保護ダイオード
３５　ＰＴＦＴ
３６　ＮＴＦＴ
３７　ＰＴＦＴ保護素子
３８　ＮＴＦＴ保護素子
３９　第２コンタクト
４０　上部配線層

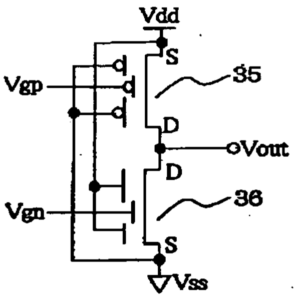
【図１】



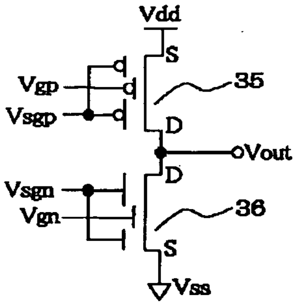
【図２】



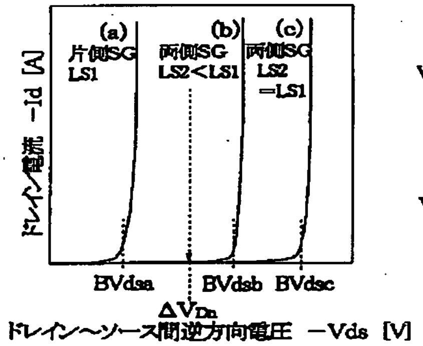
【図４】



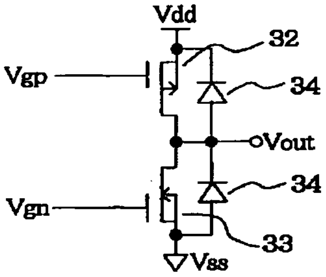
【図３】



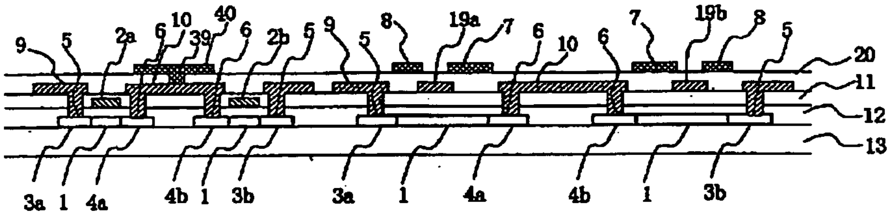
【図５】



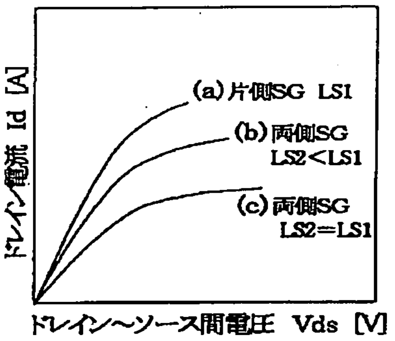
【図１６】



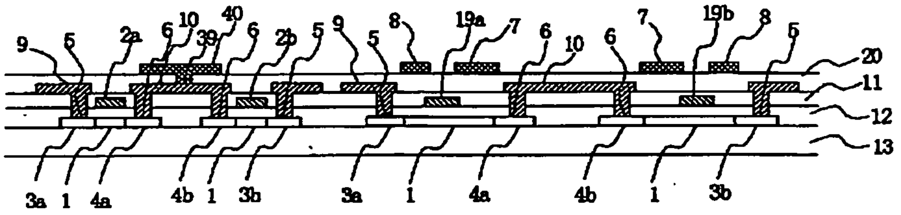
【図７】



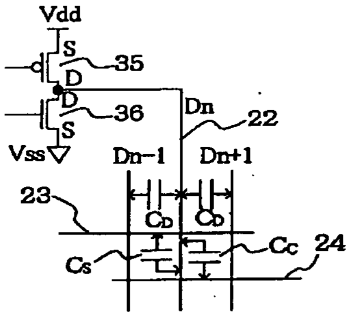
【図６】



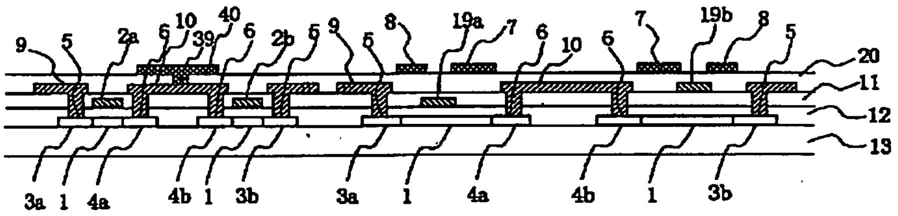
【図８】



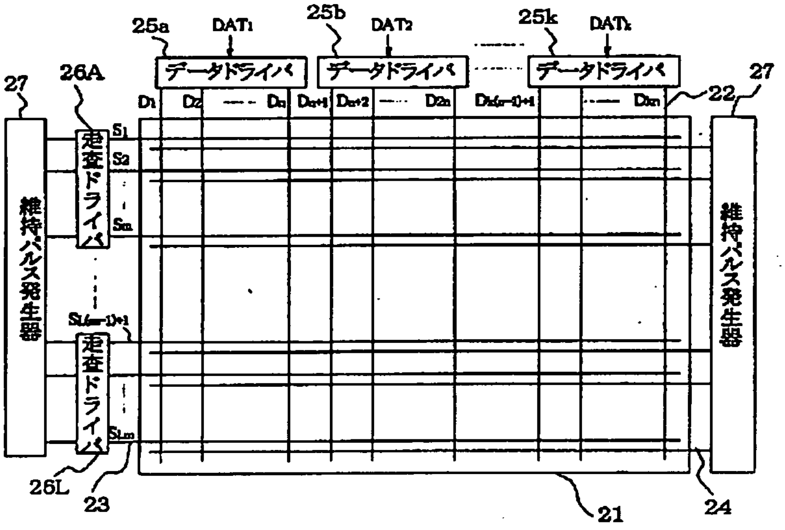
【図１３】



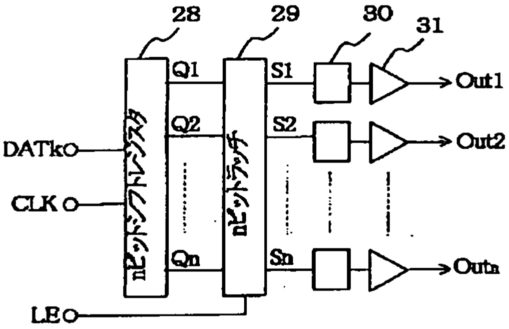
【図９】



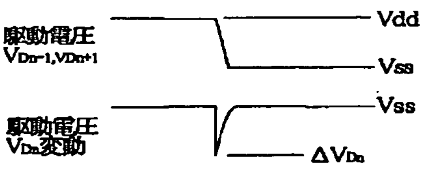
【図１０】



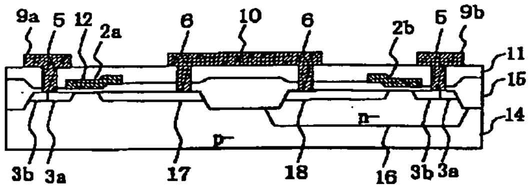
【図１１】



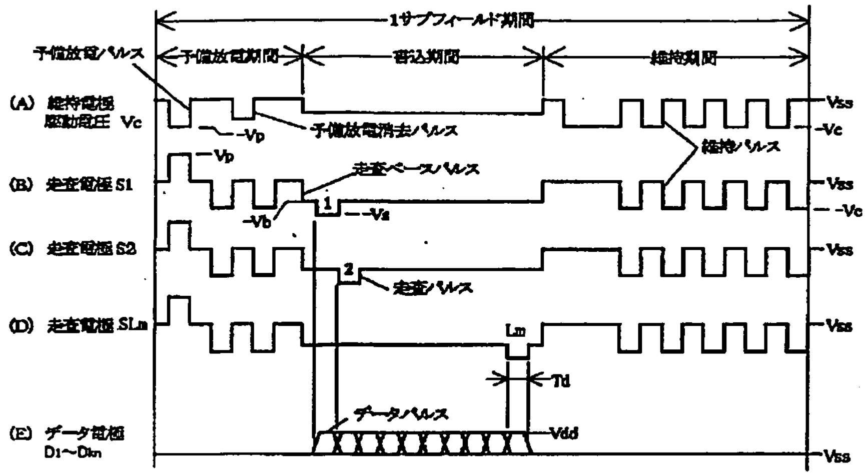
【図１４】



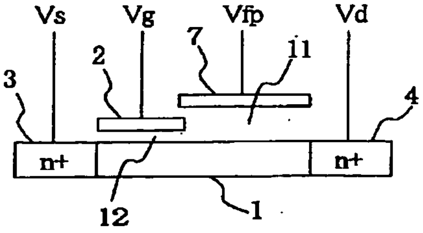
【図１５】



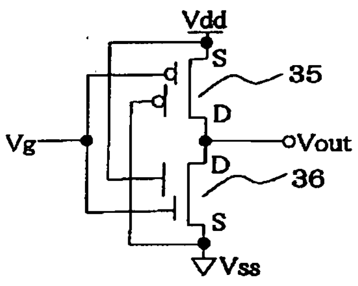
【図１２】



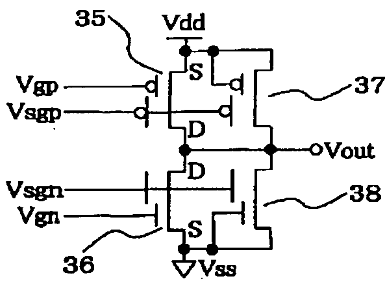
【図１７】



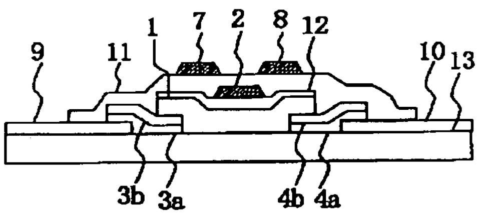
【図１８】



【図１９】



【図２０】



【図２１】